



UPC_CFI_58/2024

Entscheidung

des Gerichts erster Instanz des Einheitlichen Patentgerichts

Lokalkammer Hamburg

erlassen am 19. Februar 2025

LEITSÄTZE

1. Zur Auslegung eines Patents dessen Aufgabe es ist, die zeitliche Verzögerung, die sog. Latenzzeit, bei der Bearbeitung von Datenpaketen und insbesondere Headern bei der Übertragung in einem drahtlosen Netzwerk zu überwinden.
2. Bei der Auslegung des Patentanspruchs sind neben dem Wortlaut die Anwendungsbeschreibung und ausdrückliche Offenbarungen in der Beschreibung der Patentschrift heranzuziehen.

SCHLAGWÖRTER

Art. 69 EPÜ, Art. 25 EPGÜ

KLÄGERIN

Lionra Technologies Ltd.
(Klägerin) - The Hyde Building, Suite 23, The Park -
00000 - Carrickmines, Dublin 18, Irland - IE

Vertreten durch: Dr. Thomas Adam

BEKLAGTE

- 1) **Cisco Systems GmbH**
(Beklagte) - Parkring 20 - 85748 - Garching b.
München – DE
Vertreten durch: Johannes
Heselberger
- 2) **Cisco Systems, Inc.**
(Beklagte) - 170 West Tasman Dr. - 95134 - San
Jose, CA - US
Vertreten durch: Johannes
Heselberger

STREITGEGENSTÄNDLICHES PATENT

Patentnr.

Inhaber

EP2201740

Lionra Technologies Ltd.

SPRUCHKÖRPER

Diese Entscheidung wurde verkündet unter Mitwirkung der Vorsitzenden Richterin Klepsch, der rechtlich qualifizierten Richter Dr. Schilling als Berichterstatter und Agergaard sowie des technisch qualifizierten Richters Dr. Keller.

GEGENSTAND

Verletzungsklage und Nichtigkeitswiderklage

MÜNDLICHE VERHANDLUNG

11. Dezember 2024

KURZE ZUSAMMENFASSUNG DES SACHVERHALTS

Die Klägerin nimmt die Beklagten zu 1) und 2) auf Verletzung des europäischen Patents EP 2 201 740 B1 („Klagepatent“) auf dem Gebiet der Bundesrepublik Deutschland in Anspruch, das u.a. schnelle Paketvermittlung in einem drahtlosen Netzwerk schützt. Die Parteien streiten widerklagend um den Rechtsbestand des Patents, das die Klägerin hilfsweise beschränkt verteidigt.

Die Klägerin ist ein Unternehmen mit Sitz in Irland, das Patentportfolios an Dritte lizenziert. Ihr weltweites Portfolio an gewerblichen Schutzrechten umfasst insbesondere Erfindungen auf dem Gebiet der kabellosen Kommunikation bzw. drahtlosen Datenübertragung in Kommunikationsnetzwerken.

Die Beklagte zu 2) ist ein US-amerikanisches Unternehmen der Telekommunikationsbranche, die Beklagte zu 1) ist ihr deutsches Tochterunternehmen. Die Beklagte zu 2) bietet diverse Netzwerk-Lösungen an wie Routers, Switches (LAN, SAN), WLAN, Netzwerkmanagement und Security (Firewall, Authentifizierung, Virtual Private Network). Sie ist Herstellerin der angegriffenen Ausführungsformen und koordiniert ihren weltweiten Vertrieb in enger Zusammenarbeit mit ihren nationalen Vertriebsgesellschaften. Die Beklagte zu 1) zeigt auf der von ihr betriebenen deutschen Homepage die angegriffenen Ausführungsformen. Vertriebshandlungen der beiden Beklagten im Inland sind zwischen den Parteien streitig.

Die Beklagte zu 2) ist Herstellerin der Switches der Produktfamilie „Catalyst 9000“. Netzwerk-Switches (auf Deutsch: Umschalter/Weichen) sind Geräte, die zur Verteilung von Datenströmen dienen. Durch sie wird die gemeinsame Nutzung von Ressourcen vereinfacht, indem alle Geräte – Computer, Drucker und Server inbegriffen – in einem Unternehmens-Netzwerk miteinander verbunden werden. Die verbundenen Geräte können über den Switch Informationen teilen und miteinander kommunizieren, und zwar bspw. unabhängig davon, wo in einem Gebäude oder wo auf einem Campus sie sich gerade befinden. Die Informationen sind dabei in Datenpaketen „verpackt“. Diese Datenpakete enthalten neben den eigentlichen Informationen (Nutzdaten / payload) auch Quell- und Zieladressen, die dazu dienen das Paket weiterzuleiten. Zu diesem Zweck weist jedes Gerät im Netzwerk eine eindeutige unveränderbare Hardware-Adresse (MAC-Adresse) auf. Wenn ein Paket eintrifft, überprüft der Switch die Ziel-IP/MAC-Adresse und leitet das Paket nur an den Port weiter, der mit der Zieladresse übereinstimmt.

Die Klägerin ist als (alleinvertüfungsberechtigte) Inhaberin des in englischer Sprache erteilten Europäischen Patents EP 2 201 740 B1 B1 (Klagepatent) eingetragen über eine „SCHNELLE PAKETVERARBEITUNG IN EINEM DRAHTLOSEN NETZWERK“ (vgl. Klagepatentschrift („KPS“) in Anlage K 4). Das Klagepatent betrifft Anordnungen bei drahtlosen Netzwerken. Insbesondere bezieht es sich auf ein Verfahren und eine Vorrichtung zur Hochgeschwindigkeits-

Verarbeitung von Protokoll-Headern in einem Zwischen- und/oder Zielknoten eines paketbasierten Kommunikationsnetzwerks.

Die dem Klagepatent zugrunde liegende Anmeldung wurde von der Harris Corporation am 11. September 2008 eingereicht und am 30. Juni 2010 offengelegt. Das Patent nimmt eine US-amerikanische Priorität vom 14. September 2007 in Anspruch. Der Hinweis auf die Patenterteilung wurde am 24. August 2011 veröffentlicht. Das Klagepatent steht in Deutschland in Kraft (Registerauszug in Anlage K 6). Das Klagepatent hat kein Einspruchs- oder Nichtigkeitsverfahren durchlaufen. Es ist in englischer Sprache verfasst.

Die Klägerin hat vorgetragen, dass das Klagepatent am 27. Januar 2017 und am 01. September 2021 konzernintern übertragen worden sei, was zwischen den Parteien streitig ist.

Die Lehre des Klagepatents hat die Verringerung der sog. Latenzzeit, also die Verzögerungszeit bei der Paketübertragung, zum Gegenstand.

Anspruch 6 des Klagepatents beansprucht einen Erzeugnisanspruch und Anspruch 1 einen Verfahrensanspruch. Diese Anordnung stellt im Wesentlichen einen schichtenübergreifenden Architekturrahmen dar. Dieses Konzept soll eine hohe Datenübertragungsrate ermöglichen, indem es den Austausch von Informationen zwischen den Protokollschichten ermöglicht. Auf diese Weise soll die Verarbeitungslatenz verringert und die Bandbreite erhöht werden.

Ansprüche 1 und 6 des Klagepatents lauten in ihrer erteilten Fassung wie folgt:

1. A method for processing a packet at an egress end user node (110), comprising: decoding a packet having a plurality of headers; and subsequent to said decoding step, communicating a portion of said packet to a direct memory access-DMA-device (120); and subsequent to said communicating step, concurrently writing (1) each of said plurality of headers to a packet buffer memory (122) and (2) each individual one of said plurality of headers to a respective protocol stack layer memory (126, 128, 130, 132, 134) where it is available for immediate processing within a protocol stack layer.

6. An egress end user node (EEUN) (110) of a packet based communications system (100), comprising: a decoder (116) configured for decoding a packet having a plurality of headers; and a direct memory access-DMA-device (120) coupled to said decoder (116) and configured for concurrently writing (1) each of said plurality of headers to a packet buffer memory (122) and (2) each individual one of said plurality of headers to a respective protocol stack layer memory (126, 128, 130, 132, 134) where it is available for immediate processing within a protocol stack layer.

und auf Deutsch:

1. Verfahren zum Verarbeiten eines Pakets in einem End-User-Ausgangsknoten (110), umfassend: Dekodieren eines eine Vielzahl von Headern aufweisenden Pakets; und im Anschluss an den Dekodierungsschritt, Übermitteln eines Teils des Pakets an eine

Direktspeicher-Zugriffs-DMA-Vorrichtung (120); und im Anschluss an den Übermittlungsschritt, gleichzeitiges Schreiben (1) von jedem der Vielzahl von Header in einen Paket-Pufferspeicher (122) und (2) jedes Einzelnen der Vielzahl von Header in einen entsprechenden Protokoll-Stapel-Schichtspeicher (126, 128, 130, 132,134), in welchem er für ein unmittelbares Verarbeiten innerhalb einer Protokoll-Stapelschicht verfügbar ist.

6. End-User-Ausgangsknoten (EEUN) (110) eines paketbasierten Kommunikationssystems (100), umfassend: einen Dekoder (116), der dazu ausgebildet ist, ein eine Vielzahl von Headern aufweisendes Paket zu dekodieren; und eine Direktspeicher-Zugriffs-DMA-Vorrichtung (120), die mit dem Dekoder (116) verbunden und zum gleichzeitigen Schreiben (1) jeder der Vielzahl von Header in einen Paket-Pufferspeicher (122) und (2) jedes Einzelnen der Vielzahl von Header in einen entsprechenden Protokoll-Stapel-Schichtspeicher (126, 128, 130, 132,134) ausgebildet ist, in welchem er für ein unmittelbares Verarbeiten innerhalb einer Protokoll-Stapelschicht verfügbar ist.

Die Klägerin wendet sich mit ihrem Verletzungsvorwurf gegen Netzwerk-Switches der Serie Cisco Catalyst 9x00, insbesondere die mindestens einen Cisco Unified Access Data Plane (UADP)-Chip aufweisen (nachfolgend „angegriffene Ausführungsformen“). Die Klägerin beruft sich insoweit auf ein Datenblatt (Anlage K 8) und ein Whitepaper (Anlage K 9).

Die Klägerin macht eine unmittelbare Verletzung von Anspruch 6 und eine mittelbare Verletzung von Anspruch 1 des Klagepatents geltend. Sie hat im Verletzungsverfahren Hilfsanträge eingeführt („insbesondere“), die auf den jeweiligen Hilfsanträgen zur Änderung des Patents beruhen, mit welchem sie das Klagepatent hilfsweise beschränkt verteidigt.

ANTRÄGE DER PARTEIEN

Die Klägerin hat mit der Replik ihre Anträge aktualisiert und diese um hilfsweise geltend gemachte Anträge ergänzt, die auf einer hilfsweisen beschränkten Verteidigung des Patents nach R. 30.1 (a) VerfO basieren. Sie hat sich im Hinblick auf die Nichtigkeitswiderklage und in Reaktion auf die Einschätzung der Lokalkammer zum Rechtsbestand vorbehalten, gegebenenfalls einen der hier „insbesondere“ geltend gemachten Anträge zum Hauptantrag zu erheben.

Die Klägerin beantragt,

I. die Beklagten zu verurteilen,

1. es zu unterlassen,

a) in der Bundesrepublik Deutschland End-User-Ausgangsknoten eines paketbasierten Kommunikationssystems anzubieten, in Verkehr zu bringen, zu gebrauchen oder zu den genannten Zwecken einzuführen oder zu besitzen, welche jeweils umfassen: einen Dekoder, der dazu ausgebildet ist, ein eine Vielzahl von Headern aufweisendes Paket zu dekodieren; und eine Direktspeicher-Zugriffs-DMA-Vorrichtung, die mit dem Dekoder

verbunden ist und zum gleichzeitigen Schreiben (1) jeder der Vielzahl von Header in einen Paket Pufferspeicher und (2) jedes Einzelnen der Vielzahl von Header in einen entsprechenden Protokollstapel-Schichtspeicher ausgebildet ist, in welchem er für ein unmittelbares Verarbeiten innerhalb einer Protokoll-Stapelschicht verfügbar ist,

insbesondere

Netzwerk-Switches der Serie Cisco Catalyst 9x00, die mindestens einen Cisco Unified Access Data Plane (UADP)-Chip enthalten;

(unmittelbare Verletzung von Anspruch 6 der EP 2 201 740 B1)

insbesondere wenn

der End-User-Ausgangsknoten weiter ausgelegt ist, die Vielzahl von Header in jedem der Vielzahl von Protokoll-Stapelschichten gleichzeitig zu verarbeiten;

(unmittelbare Verletzung von Anspruch 6 der EP 2 201 740 B1 in der Fassung von Hilfsantrag 1 im Verfahren auf Nichtigerklärung)

insbesondere wenn

die Vielzahl von Headern einen Media-Access-Control-Schicht-Protokoll-Header und einen Netzwerk-Schicht-Protokoll-Header umfasst;

(unmittelbare Verletzung von Anspruch 6 der EP 2 201 740 B1 in der Fassung von Hilfsantrag 2 im Verfahren auf Nichtigerklärung)

insbesondere wenn

die Protokoll-Stapelschichten als Firmware ausgestaltet sind;

(unmittelbare Verletzung von Anspruch 6 der EP 2 201 740 B1 in der Fassung von Hilfsantrag 3 im Verfahren auf Nichtigerklärung)

insbesondere wenn

der End-User-Ausgangsknoten weiter ausgelegt ist, die Vielzahl von Header in jedem der Vielzahl von Protokoll-Stapelschichten gleichzeitig zu verarbeiten, wobei die Vielzahl von Headern einen Media-Access-Control-Schicht-Protokoll-Header und einen Netzwerk-Schicht-Protokoll-Header umfasst;

(unmittelbare Verletzung von Anspruch 6 der EP 2 201 740 B1 in der Fassung von Hilfsantrag 4 im Verfahren auf Nichtigerklärung)

insbesondere wenn

die Vielzahl von Headern einen Media-Access-Control-Schicht-Protokoll-Header und einen Netzwerk-Schicht-Protokoll-Header umfasst, wobei die Protokoll-Stapelschichten als Firmware ausgestaltet sind;

(unmittelbare Verletzung von Anspruch 6 der EP 2 201 740 B1 in der Fassung von Hilfsantrag 5 im Verfahren auf Nichtigerklärung)

insbesondere wenn

der End-User-Ausgangsknoten weiter ausgelegt ist, die Vielzahl von Header in jedem der Vielzahl von Protokoll-Stapelschichten gleichzeitig zu verarbeiten, wobei die Vielzahl von

Headern einen Media-Access-Control-Schicht-Protokoll-Header und einen Netzwerk-Schicht-Protokoll-Header umfasst, wobei die Protokoll-Stapelschichten als Firmware ausgestaltet sind;

(unmittelbare Verletzung von Anspruch 6 der EP 2 201 740 B1 in der Fassung von Hilfsantrag 6 im Verfahren auf Nichtigerklärung)

b) in der Bundesrepublik Deutschland End-User-Ausgangsknoten eines paketbasierten Kommunikationssystems, welche geeignet sind, in folgendem Verfahren verwendet zu werden, zur Benutzung in der Bundesrepublik Deutschland anzubieten oder an diese zu liefern: Verfahren zum Verarbeiten eines Pakets in einem End-User-Ausgangsknoten, umfassend: Dekodieren eines eine Vielzahl von Headern aufweisenden Pakets; und im Anschluss an den Dekodierungsschritt, Übermitteln eines Teils des Pakets an eine Direktspeicher-Zugriffs-DMA-Vorrichtung; und im Anschluss an den Übermittlungsschritt, gleichzeitiges Schreiben von jedem der Vielzahl von Header in einen Paket-Pufferspeicher und jedes Einzelnen der Vielzahl von Header in einen entsprechenden Protokoll-Stapel-Schichtspeicher, in welchem er für ein unmittelbares Verarbeiten innerhalb einer Protokoll-Stapelschicht verfügbar ist;

insbesondere

wenn die End-User-Ausgangsknoten in Netzwerk-Switches der Serie Cisco Catalyst 9x00, die mindestens einen Cisco Unified Access Data Plane (UADP)-Chip umfassen, enthalten sind;

(mittelbare Verletzung von Anspruch 1 der EP 2 201 740 B1)

insbesondere wenn das Verfahren weiter umfasst:

gleichzeitiges Verarbeiten der Vielzahl von Header in jedem der Vielzahl von Protokoll-Stapelschichten;

(mittelbare Verletzung von Anspruch 1 der EP 2 201 740 B1 in der Fassung von Hilfsantrag 1 im Verfahren auf Nichtigerklärung)

insbesondere wenn

die Vielzahl von Headern einen Media-Access-Control-Schicht-Protokoll-Header und einen Netzwerk-Schicht-Protokoll-Header umfasst;

(mittelbare Verletzung von Anspruch 1 der EP 2 201 740 B1 in der Fassung von Hilfsantrag 2 im Verfahren auf Nichtigerklärung)

insbesondere wenn

die Protokoll-Stapelschichten als Firmware ausgestaltet sind;

(mittelbare Verletzung von Anspruch 1 der EP 2 201 740 B1 in der Fassung von Hilfsantrag 3 im Verfahren auf Nichtigerklärung)

insbesondere wenn das Verfahren weiter umfasst:

gleichzeitiges Verarbeiten der Vielzahl von Header in jedem der Vielzahl von Protokoll-Stapelschichten, wobei die Vielzahl von Headern einen Media-Access-Control-Schicht-Protokoll-Header und einen Netzwerk-Schicht-Protokoll-Header umfasst;

(mittelbare Verletzung von Anspruch 1 der EP 2 201 740 B1 in der Fassung von Hilfsantrag 4 im Verfahren auf Nichtigerklärung)

insbesondere wenn

die Vielzahl von Headern einen Media-Access-Control-Schicht-Protokoll-Header und einen Netzwerk-Schicht-Protokoll-Header umfasst, wobei die Protokoll-Stapelschichten als Firmware ausgestaltet sind;

(mittelbare Verletzung von Anspruch 1 der EP 2 201 740 B1 in der Fassung von Hilfsantrag 5 im Verfahren auf Nichtigerklärung)

insbesondere wenn das Verfahren weiter umfasst:

gleichzeitiges Verarbeiten der Vielzahl von Header in jedem der Vielzahl von Protokoll-Stapelschichten, wobei die Vielzahl von Headern einen Media-Access-Control-Schicht-Protokoll-Header und einen Netzwerk-Schicht-Protokoll-Header umfasst, wobei die Protokoll-Stapelschichten als Firmware ausgestaltet sind;

(mittelbare Verletzung von Anspruch 1 der EP 2 201 740 B1 in der Fassung von Hilfsantrag 6 im Verfahren auf Nichtigerklärung)

2.

für den Fall eines Verstoßes gegen die Verfügung nach Ziffer I.1. die folgenden an das Gericht zu zahlenden Zwangsgelder zu verhängen:

- a) ein Zwangsgeld in Höhe von EUR 10.000 für jeden Verkauf eines Produktes in der Bundesrepublik Deutschland;
- b) ein Zwangsgeld in Höhe von EUR 10.000 für jeden Import eines Produktes in die Bundesrepublik Deutschland;
- c) ein Zwangsgeld in Höhe von EUR 10.000 pro Tag Internetwerbung bzw. pro Werbebroschüre, die in der Bundesrepublik Deutschland auf Deutsch oder Englisch an Kunden ausgehändigt wurde;

3.

der Klägerin unter Vorlage eines einheitlichen geordneten Verzeichnisses vollständig darüber Auskunft zu erteilen, in welchem Umfang sie (die Beklagten) die unter Ziffer I.1. bezeichneten Handlungen seit dem 24. September 2011 begangen haben, und zwar unter Angabe

- a) des Ursprungs und der Vertriebswege der verletzenden Erzeugnisse
- b) der erzeugten, hergestellten, ausgelieferten, erhaltenen oder bestellten Mengen und der Preise, die für die verletzenden Erzeugnisse gezahlt wurden
- c) der Identität aller an der Herstellung oder dem Vertrieb von verletzenden Erzeugnissen beteiligten dritten Personen
- d) der nach den einzelnen Kostenfaktoren aufgeschlüsselten Gestehungskosten und des erzielten Gewinns
wobei
- e) die Aufstellung mit den Daten der Auskunftserteilung zusätzlich in einer mittels EDV auswertbaren, elektronischen Form zu übermitteln ist;

- f) wobei zum Nachweis der Angaben die entsprechenden Kauf- und/oder Bestellbelege (nämlich Rechnungen, hilfsweise Lieferscheine, höchst hilfsweise Zollpapiere) in Kopien vorzulegen sind, wobei geheimhaltungsbedürftige Details außerhalb der auskunftspflichtigen Daten geschwärzt werden dürfen;

4.

(nur Beklagte zu 1:) die vorstehend in Ziffer I.1. bezeichneten, in Verkehr gebrachten Erzeugnisse gegenüber den gewerblichen Abnehmern unter Hinweis auf den gerichtlich festgestellten patentverletzenden Zustand der Sache und mit der verbindlichen Zusage zurückzurufen, etwaige Entgelte zu erstatten sowie notwendige Verpackungs- und Transportkosten sowie mit der Rückgabe verbundene Zoll- und Lagerkosten zu übernehmen und die Erzeugnisse wieder an sich zu nehmen;

5.

(nur die Bekl. zu 1:) die vorstehend in Ziffer I.1. bezeichneten Erzeugnisse endgültig aus den Vertriebswegen zu entfernen, in dem die Beklagte zu 1) unter Hinweis auf den gerichtlich festgestellten patentverletzenden Zustand der Sache Dritte, die gewerbliche Abnehmer, aber nicht Endabnehmer sind, auffordert, sämtliche Aufträge betreffend die in Ziffer I.1. genannten Erzeugnisse zu stornieren und dem Gericht und der Klägerin innerhalb von 30 Tagen nach der Zustellung der Mitteilung iSv. R.118(8) S. 1 VerfO einen schriftlichen Nachweis über die durchgeführte Maßnahme vorzulegen;

6.

(nur Beklagte zu 1:) die in ihrem unmittelbaren oder mittelbaren Besitz oder in ihrem Eigentum befindlichen unter Ziff. I.1. bezeichneten Erzeugnisse an einen von der Klägerin zu benennenden Gerichtsvollzieher zum Zwecke der Vernichtung herauszugeben;

7.

der Klägerin vorläufigen Schadensersatz zuzuerkennen, welche die voraussichtlichen Kosten für das Schadensersatzverfahren auf Seiten der Klägerin abdeckt, wobei wir den konkreten Betrag in das Ermessen des Gerichts stellen;

8.

bis zur mündlichen Verhandlung eine angemessene Sicherheit für die Kosten des Rechtsstreits zu leisten; II. festzustellen, dass die Beklagten gesamtschuldnerisch verpflichtet sind, der Klägerin allen Schaden zu ersetzen, der der Harris Corporation im Zeitraum 24.09.2011 bis 26.01.2017, der Harris Solutions NY, Inc. (ab: 17.04.2018: Harris Global Communications, Inc.) im Zeitraum 27.01.2017 bis 29.09.2021 und der Klägerin seit dem 30.09.2021 durch die unter Ziffer I.1. bezeichneten Handlungen entstanden ist und noch entstehen wird.

III. Die Beklagten tragen die Kosten des Rechtsstreits.

IV. Das Urteil ist unmittelbar vollstreckbar.

V. Für den Fall der Anordnung einer Sicherheitsleistung der Klägerin zu gestatten, diese durch Bank- oder Sparkassenbürgschaft zu erbringen, und für jeden der zuerkannten Ansprüche und die Kostengrundentscheidung Teilsicherheiten festzusetzen.

Die Beklagten beantragen,

- I. Der Antrag der Klägerin auf Leistung einer Sicherheit für die Kosten des Rechtsstreits (Klageantrag zu Ziff. I.7) wird zurückgewiesen.
- II. Die Klage wird abgewiesen (R. 23, 24 lit. g) VerFO).
- III. Den Beklagten wird die Kostenerstattung für die Verletzungsklage vorläufig zugesprochen (R. 150.2 VerFO).

Mit der Widerklage auf Nichtigklärung beantragen sie:

- IV. Das Europäische Patent EP 2 201 740 wird mit Wirkung für die Bundesrepublik Deutschland im Umfang der geltend gemachten Ansprüche 1 und 6 für nichtig erklärt (R. 25 VerFO).
 - V. Den Beklagten wird die Kostenerstattung für die Widerklage vorläufig zugesprochen (R. 150.2 VerFO).
 - VI. Das Gericht ordnet an, dass die Klägerin für die Kosten des Rechtsstreits und die sonstigen den Beklagten entstandenen und noch entstehenden Kosten eine Sicherheit in Höhe von EUR 400.000,00, hilfsweise eine Sicherheit in anderer angemessener Höhe, zu leisten hat (R. 158.1 VerFO).
- Für den Fall, dass die Klägerin diese Sicherheit nicht innerhalb der gesetzten Frist leistet, ergeht eine Versäumnisentscheidung (R. 158.5, 355.1(a) VerFO).
- VII. Die Beklagten werden von der Pflicht zur Übersetzung der als Anlagen eingereichten englischsprachigen Dokumente, sowie hieraus wiedergegebenen Auszügen, in die deutsche Sprache (R. 7.1 VerFO i.V.m. R. 24 lit. j) bzw. R. 25 lit. g) VerFO freigestellt.

Die Klägerin beantragt,

- I. Die Widerklage auf Nichtigklärung wird abgewiesen.
- II. Hilfsweise, die Ansprüche 1 und 6 des Europäischen Patents EP 2 201 740 erhalten mit Wirkung für die Bundesrepublik Deutschland den Umfang eines der Hilfsanträge 1 bis 6 (in Nummerisch aufsteigender Reihenfolge).
- III. Der Widerklägerin werden die Kosten des Verfahrens auferlegt.

Die Beklagten bestreiten die Aktivlegitimation der Klägerin mit Nichtwissen, insbesondere hinsichtlich der beiden vorgetragenen Übertragungsvorgänge.

Die Beklagten nehmen in Abrede, dass die angegriffenen Ausführungsformen von der Lehre des Klagepatents Gebrauch machten. Bei den Switches der Serie Cisco Catalyst 9x00 handele es sich nicht um ein Mittel, das sich auf ein wesentliches Element der Erfindung bezieht, und das dazu geeignet und bestimmt ist, für die Benutzung der Erfindung verwendet zu werden, Art. 26(1) EPGÜ. Die angegriffenen Ausführungsformen verwirklichten auch nicht Anspruch 6 des Klagepatents.

Zum Nachweis der nicht-patentgemäßen Ausgestaltung der angegriffenen Ausführungsformen berufen sich die Beklagten auf das Zeugnis des Herrn ██████████ zu laden über die Beklagte zu 2) nebst dessen schriftlicher Erklärung als Anlage BP 7, sowie die Einholung eines Sachverständigengutachtens.

Sie machen ferner geltend, dass beide Beklagten nicht passivlegitimiert seien. Weder die Beklagte zu 1) noch die Beklagte zu 2) würden selbst die angegriffenen Ausführungsformen in Deutschland verkaufen noch hätten sie diese seit dem 24. September 2011 in Deutschland verkauft oder ausgeliefert. Insoweit berufen sie sich auf das Zeugnis des Herrn Dr. ██████████ ██████████ Managing Director/Senior Corporate Counsel der Beklagten zu 1), zu laden über diese, nebst dessen schriftlicher Erklärung als Anlage BP 8.

Hinsichtlich etwaiger weiterer Anträge und weiteren Vorbringens im schriftlichen Verfahren und im Zwischenverfahren wird auf die Schriftsätze der Parteien Bezug genommen.

WESENTLICHE VERFAHRENSCHRITTE

Der Berichterstatter hat mit Anordnung vom 01. November 2024 die wechselseitigen Anträge auf Leistung einer Prozesskostensicherheit zurückgewiesen (ORD_59510/2024).

Die Kammer hat mit Anordnung vom 20. November 2024 entschieden, die Verletzungsklage und die Widerklage gemeinsam zu verhandeln (ORD_48185/2024).

TATSÄCHLICHE UND RECHTLICHE STREITPUNKTE DER PARTEIEN

Die Klägerin richtet ihren Verletzungsvorwurf gegen Netzwerk-Switches die nach ihrer Auffassung von der Beklagten zu 1) in Deutschland angeboten werden, „darunter die der sog. Cisco Catalyst 9000-Familie“. Angegriffen sind insbesondere Netzwerk-Switches der Serie Cisco Catalyst 9x00, die mindestens einen Cisco Unified Access Data Plane (UADP)-Chip enthalten. Diese würden als auf der Unternehmenshomepage als „modulare Switches für mittlere und große Campus-Core-Netzwerke“ beworben. Sie hält die Beklagte zu 2) als für den Vertrieb in Deutschland verantwortlich.

Hinsichtlich ihrer Aktivlegitimation beruft sich die Klägerin auf ihre Eintragung als Patentinhaberin.

Hinsichtlich des Vorwurfs der Patentverletzung hat sich die Klägerin auf das Cisco Catalyst 9600 Series Switches Data Sheet (Anlage K 8) und das Whitepaper Cisco Catalyst 9600 Series Architecture (Anlage K 9) berufen. In diesen beiden Anlagen K8 und K9 werden Switches der Serie Cisco Catalyst 9600 beschrieben. Sie hat ferner vorgelegt eine Stellungnahme (Privatgutachten) von ██████████ ██████████ (Anlage K 10) und eine Cisco-Präsentation „Cisco IOS XE & ASIC Architecture – Catalyst 9000 series“ von ██████████ ██████████ in Anlage K 11. Mit der Replik vom 06. August 2024 hat sie nachgereicht die Veröffentlichung (in Auszügen) von ██████████ ██████████ ██████████ "Design principles for packet parsers", Architectures for Networking and Communications Systems, ██████████ ██████████ ██████████ 2013, pp. 13-24 (Anlage K 12). Darüber hinaus verweist die

Klägerin auf ein Video des Vortrags „Programmable ASICs for Catalyst Switches“ von Muhammad Imam, Manager Technical Marketing.

Die Beklagten nehmen in Abrede, dass die angegriffenen Ausführungsformen von der Lehre des Klagepatents Gebrauch machten. .

Die Beklagten meinen, bei den Switches der Serie Cisco Catalyst 9x00 handele es sich nicht um ein Mittel, das sich auf ein wesentliches Element der Erfindung bezieht, und das dazu geeignet und bestimmt ist, für die Benutzung der Erfindung verwendet zu werden, Art. 26(1) EPGÜ. Die angegriffenen Ausführungsformen verwirklichten auch nicht Anspruch 6 des Klagepatents. Hinsichtlich etwaiger weiterer Anträge und weiteren Vorbringens im schriftlichen Verfahren und im Zwischenverfahren wird auf die Schriftsätze der Parteien Bezug genommen.

ENTSCHEIDUNGSGRÜNDE

Die zulässige Klage ist unbegründet. Die zulässige Nichtigkeitswiderklage ist ebenfalls unbegründet.

A.

Die Klage und die Nichtigkeitswiderklage sind zulässig. Die Zuständigkeit der angerufenen Lokalkammer steht zwischen den Parteien zu Recht nicht im Streit. Die Klägerin ist zur Geltendmachung der streitgegenständlichen Ansprüche aus dem Klagepatent befugt (dazu nachfolgend A. I.). Hinsichtlich der Zulässigkeit der Widerklage bestehen keine Bedenken (dazu nachfolgend A. II.).

I.

Die Klägerin kann sich mit Erfolg auf ihre Eintragung als Inhaberin des Klagepatents berufen.

1.

Grundsätzlich richtet sich die Aktivlegitimation für die Geltendmachung von Annexansprüchen aus Europäischen Patenten nach der materiellen Berechtigung (vgl. BGH, Urteil vom 7. Mai 2013 - X ZR 69/11, GRUR 2013, 713, Rn. 57 f. - Fräsverfahren). Damit gilt die sich aus Art 60 Abs. 3 EPÜ und § 7 PatG folgende unwiderlegliche Fiktion der Berechtigung des Anmelders (vgl. Benkard EPÜ/Melullis, 3. Aufl. 2019, EPÜ Art. 60 Rn. 38) nicht für das Verletzungsverfahren; ihr Anwendungsbereich ist auf das Eintragungsverfahren selbst beschränkt. Der Eintrag im Patentregister bietet keine Gewähr für seine inhaltliche Richtigkeit, da dem Register weder eine positive Publizitätswirkung wie dem Grundbuch, noch eine negative Publizitätswirkung wie dem Handelsregister zukommt. Eintragungen in einem öffentlichen, von einer Verwaltungsbehörde geführten Register vermitteln jedoch eine Vermutung der Richtigkeit und damit einen beachtlichen Rechtsschein (BeckOK PatR/Otten-Dünneberger, 13. Ed. 25.7.2019, PatG § 30 Rn. 12). Der Eintragung im Patentregister kommt daher für die Beurteilung der Frage, wer materiell-rechtlich Inhaber des Patents ist, eine erhebliche Indizwirkung zu (BGH, Urteil vom 7. Mai 2013 - X ZR 69/11, GRUR 2013, 713, Rn. 59 - Fräsverfahren).

2.

Auf der Basis des EPGÜ gilt nichts anderes. Denn nach Regel 8.5 VerfO gilt

(a) [...] in Bezug auf den Inhaber des europäischen Patents diejenige Person als Inhaber des Patents, die nach dem Recht des jeweiligen Mitgliedstaats, für den das europäische Patent erteilt wurde, berechtigt ist, als Inhaber des Patents eingetragen zu werden, unabhängig davon, ob diese Person tatsächlich in das Patentregister des jeweiligen Mitgliedsstaats (im Folgenden „nationales Patentregister“) eingetragen ist, und

(b)[..]

(c) Für die Zwecke von Absatz 5 besteht die widerlegbare Vermutung, dass die Person, die im jeweiligen nationalen Patentregister und im vom Europäischen Patentamt geführten Europäischen Patentregister ausgewiesen ist, berechtigt ist, als Inhaber beziehungsweise als oder Anmelder eingetragen zu werden.

Die Kammer hat daher von einer widerleglichen Vermutung auszugehen (LK Hamburg, 26. August 2024 – UPC_CFI_54/2023, GRUR-RS 2024, 38164 Rn. 34 – Avago vs. Tesla). Entsprechendes hat das Berufungsgericht des EPG bereits für Patente mit einheitlicher Wirkung zugrunde gelegt und angenommen, aufgrund ihrer entsprechenden Eintragung im Register für einheitlichen Patentschutz sei diese Person als Inhaber des Verfügungspatents zu behandeln, Regel 8.4 VerfO. Als solche sei sie berechtigt, die Anordnung entsprechender Maßnahmen zu beantragen, Art. 47(1) EPGÜ (UPC_CoA 335/2023, Anordnung vom 26. Februar 2024, S. 24). Die Regelung bewirkt daher hinsichtlich der vermuteten Tatsache eine Umkehr der Darlegungs- und Beweislast. Kann die Klägerin auf ihre Eintragung in den für den jeweiligen Rechtsstreit maßgeblichen Registern verweisen, ist es an der Beklagtenseite, darzulegen und gegebenenfalls zu beweisen, dass der Klägerin die Berechtigung für eine solche Eintragung fehlt (LK Düsseldorf, 30. April 2024 – UPC_CFI_463/2023 - 10x Genomics, Inc. vs. Curio Bioscience Inc., LK Hamburg, GRUR-RS 2024, 38164 Rn. 34 – Avago vs. Tesla).

3.

Die Beklagten rügen, dass es vollkommen unklar sei, ob das Klagepatent tatsächlich – das nach dem Vortrag der Klägerin zwei Mal übertragen worden sei – Gegenstand des Patentkaufvertrages vom 27. Januar 2017 gewesen sei. Sie bestreiten mit Nichtwissen, dass das Klagepatent einschließlich der Annexansprüche wirksam von der Harris Corp. auf die Harris Solutions NY, Inc. übertragen wurde sowie die Existenz des Patentkaufvertrages vom 27. Januar 2017 als solchem. Die angebliche Übertragung sei nicht im behaupteten Zeitraum im Register des Deutschen Patent- und Markenamts eingetragen worden. Der weitere Patentkaufvertrag sei nur geschwärzt überreicht worden. Zur Zahlung des Kaufpreises habe sich die Klägerin auf das Zeugnis des Herrn ████████ berufen. Dies sei schon in formaler Hinsicht unzureichend, da die Klägerin entgegen der Regel 24(j) VerfO der Klageschrift keine schriftliche Zeugenaussage beigefügt habe. Im Übrigen wäre zu erwarten, dass die Bezahlung des Kaufpreises ohne Weiteres anhand von schriftlichen Unterlagen (Überweisungsbelege, etc.) nachgewiesen werden könne. Zudem falle die behauptete Übertragung zum 2. Oktober 2021 und der Registerstand des DPMA erheblich auseinander. Die Anmelder-Inhaberänderung von der Harris Global Communications, Inc., auf die Klägerin trage als Verfahrensstand den 6. Februar 2023, was abermals nahelege, dass die behauptete ursprüngliche Übertragung nicht wirksam gewesen sei.

4.

Mit diesem Vortrag haben die Beklagten nach Maßgabe der obigen Grundsätze die Inhabervermutung nicht mit Erfolg in Zweifel gezogen. Die dem Klagepatent zugrunde liegende Anmeldung wurde von der Harris Corporation am 11. September 2008 eingereicht. Im Registerauszug ist eine Inhaberänderung von der Harris Corporation auf die Harris Global Communications, Inc. vermerkt. Die von der Klägerin behauptete Umfirmierung der Harris Corporation mit Wirkung zum 28. Juni 2019 in L3Harris Technologies, Inc. einerseits und der Harris Solutions NY, Inc. zum 17. April 2018 in die HARRIS GLOBAL COMMUNICATIONS, INC. andererseits, haben die Beklagten nicht in Abrede genommen. Sie haben auch nicht in Abrede genommen, dass es sich um konzernverbundene Unternehmen handelt, mit der Folge, dass der erste Patentübertragungsvertrag vom 27. Januar 2017 konzernintern stattgefunden hat. Die spätere Übertragung auf die Klägerin ist ebenfalls im Register vermerkt; der Vertrag ist in Auszügen vorgelegt worden. Die Behauptung, der Kaufpreis sei möglicherweise nicht bezahlt worden, ist reine Spekulation vor dem Hintergrund, dass am 16. März 2023 die Umtragung eingetragen worden ist (vgl. Registerauszug in Anlage K 6 und Patentkaufvertrag in Anlage K 5).

II.

Hinsichtlich der Zulässigkeit der Widerklage bestehen keine Bedenken.

1.

Insbesondere ist das EPG auch international zuständig. Gemäß Artikel 32 Abs. 1 (e) EPGÜ ist das EPG für Widerklagen auf Nichtigkeit von (europäischen) Patenten ausschließlich zuständig. Da derzeit kein Opt-Out (Art. 83 Abs. 3 EPGÜ) von der ausschließlichen Zuständigkeit des Gerichts in Bezug auf das Streitpatent in Kraft ist, ist das EPG – als gemeinsames Gericht der Mitgliedstaaten des EPGÜ – gemäß Art. 24 Abs. 4, 71a Abs. 2 a), 71b Abs. 1 der Verordnung (EU) Nr. 1215/2012 für die vorliegende Widerklage international zuständig.

2.

Auch die Anträge der Klägerin auf hilfsweise Änderung des Klagepatents nach R. 30 VerFO sind zulässig und insbesondere fristgerecht eingereicht worden. Eine Notwendigkeit, „vollständige“ Anspruchssätze vorzulegen, lässt sich aus dem EPGÜ oder seiner Verfahrensordnung nicht ableiten. Teilweise ist Gegenstand der Änderungsanträge, das Hochziehen abhängiger Ansprüche, womit sie entsprechend als zusätzliche Ansprüche entfallen, was keine Zweifel an ihrem weiteren Schicksal aufkommen lässt. Sofern möglicherweise nicht hinreichend klar ist, welches Schicksal die Unteransprüche 3, 4 und 5 nehmen sollen, ist dies vorliegend nicht entscheidungsrelevant (siehe dazu nachfolgend B. III. 3. g) und D. V.). Etwaige inhaltliche Zusammenhänge zwischen Anspruch 1 und 6, insbesondere die Frage, ob es sich um geschlossene Anspruchssätze handelt, hat die Klägerin bereits dadurch adressiert, dass sie die jeweils korrespondierende Änderungen in Ansprüchen 1 und 6 beantragt hat und zwar nebeneinander.

3.

Soweit die Beklagten mit ihrer Duplik beantragt haben, weiteren Stand der Technik als Erweiterung der Widerklage zuzulassen, ist diesem Antrag zu entsprechen. Es trifft zu, dass die Klägerin mit der Replik im Verletzungsverfahren ihre Auslegung und den Verletzungsvorwurf gegenüber der Klageschrift anders ausgerichtet, zumindest aber ergänzt

hat. Indem die Klägerin hinsichtlich der „DMA-Vorrichtung“ nun nicht mehr auf den Ingress FIFO allein abstellt, sondern auf eine Kombination mehrerer Komponenten der angegriffenen Switches, was seinerseits als Reaktion auf das Verteidigungsvorbringen der Beklagten zuzulassen ist, ist den Beklagten zuzubilligen, die vorgelegten vier weiteren Stand-der-Technik Dokumente (Anlagen BP-CR5 bis BP-CR8) sowie die hierauf basierenden Ausführungen in das Verfahren einzuführen. Insoweit übt die Lokalkammer ihr Ermessen dahingehend aus, dass es der Beklagten nicht vorgeworfen werden kann, mangels Kenntnis der ergänzten Verletzungsargumentation der Klägerin nicht schon mit der Widerklage auf Nichtigerklärung diese Dokumente vorgelegt zu haben.

B.

Das Klagepatent und die mit der Erwidern der Klägerin auf die Nichtigkeitswiderklage eingeführten Hilfsanträge bedürfen zunächst der Auslegung.

I.

Das Klagepatent betrifft nach Abs. [0001] ein Verfahren und ein Gerät zur schnellen Verarbeitung von Protokoll-Headern an einem Zwischen- und/oder End-Knoten eines paketbasierten Netzwerks. Es erläutert in Abs. [0003] und [0004], dass in einem paketbasierten Netzwerk den eigentlichen Nutzdaten (engl. „application data“) ein oder mehrere Header vorangestellt werden, die zum Transport der Nutzdaten innerhalb des Netzwerks dienen. In den Headern sind Daten enthalten, die zum Beispiel definieren, an wen die Nutzdaten gerichtet sind, woher diese stammen, welche Länge sie haben usw. Das Klagepatent teilt im Einklang mit der allgemein üblichen Praxis (ISO/OSI-Referenzmodell) die Header den Schichten wie folgt zu (vgl. Fig. 2): *Schicht-1: PHYSICAL-Header, Schicht-2: MAC- und LLC Header, Schicht-3: NETWORK Header, Schicht-4: TRANSPORT Header, Schicht-5: APPLICATION Header.*

Bevor die Nutzdaten eines Pakets verarbeitet werden können, z.B. Videodaten angezeigt werden können, müssen die Headerdaten verarbeitet werden. Das Klagepatent geht davon aus, dass die Headerdaten in bekannten Systemen bislang *sequentiell* verarbeitet wurden, d.h. einer nach dem anderen, Schicht für Schicht. Dargestellt wird dies in Fig. 5 des Klagepatents. Wie in den Absätzen [0005], [0006] und [0050] bis [0052] der Klagepatentschrift geschildert, wurden die Paketdaten nacheinander, also sequentiell, zuerst in den Paket-Pufferspeicher 520 geschrieben und dann an die entsprechenden schichtspezifischen Protokollspeicher 526, 528, 530, 532, und 534 geleitet. Dabei konnte der Schicht-3 Header erst weitergeleitet werden, nachdem die Schicht-2 Header verarbeitet wurden; der Schicht-4 konnte erst weitergeleitet werden, nachdem der Schicht-3 Header verarbeitet wurde, usw. Diese Verarbeitung der Headerdaten aus dem Paket-Pufferspeicher 520 heraus führt nach dem Klagepatent zu einer großen Verzögerung (vgl. KPS Abs. [0005], [0011] und [0053]).

II.

Aufgabe des Klagepatents ist es daher, die zeitliche Verzögerung bei der Bearbeitung von Datenpaketen und insbesondere Headern zu überwinden, die sog. Latenzzeit bei der Paketübertragung. Das Klagepatent formuliert daher die folgende Aufgabe [0011]:

[0011] In view of the forgoing, there is a need for a solution to reduce protocol header processing time in a packet-based communications

networks. This solution also needs to be configured to update header fields. The solution further needs to be configured to process protocol headers at a desired speed for a battery powered wireless communications device. In this regard, it should be understood that a battery powered wireless communications device can be a node in a high speed wireless communications system. As such, the battery powered wireless communications device can concurrently act as an intermediate node and a destination node. As such, the roles of the battery powered wireless communications device can alternate and vary based on time or traffic conditions.

[0012] The invention concerns a method for processing a packet at an egress end user node. The method includes a decoding step and a concurrent writing step. The decoding step involves decoding a packet having a plurality of headers. The concurrent writing step is performed subsequent to the decoding step. The concurrent writing step involves concurrently writing (1) each of the headers to a packet buffer memory and (2) each individual one of the headers to a respective protocol stack layer memory where it is available for immediate processing within a protocol stack layer.

Dabei bezeichnet „Latenz“ im Telekommunikationsumfeld die Zeit, die eine Information oder ein Datenpaket von ihrer Quelle bis zum Ziel benötigt. Sie setzt sich aus verschiedenen Verzögerungszeiten zusammen, die beispielsweise durch die Zwischenspeicherung von Daten, die Prüfung von Datenpaketen oder die Laufzeit der Signale entstehen.

Zur Lösung der Aufgabe schlägt das Klagepatent in den unabhängigen Ansprüchen 1 und 6 vor, als Komponente eine sog. Direktspeicher-Zugriffs(DMA)-Vorrichtung (direct memory access (DMA) device) vorzusehen. Der Direktspeicher-Zugriff ermöglicht, einen Hauptprozessor (CPU) bei den Speicheroperationen außen vor zu lassen (s. Abs. [0023], letzter Satz). So kann der Direktspeicher-Zugriff Verarbeitungs- bzw. Latenzzeit im Sinne der Aufgabe des Klagepatents verringern. Insbesondere setzt die Erfindung die DMA-Vorrichtung ein, um die mit der sequenziellen Abarbeitung der Header einhergehenden Zeitaufwand dadurch zu verringern, dass einige der notwendigen Arbeitsschritte, nämlich das Einschreiben der Header in jeweils einen Speicher der betreffenden Protokollschicht und den Paketpuffer gleichzeitig statt sequenziell abgewickelt werden, vgl. Abs. [0012].

Anspruch 1 und Anspruch 6 lassen sich in folgende Merkmale gliedern (vgl. Klageschrift, S. 22 f und Klagerwiderung, S. 24 f.):

Anspruch 1

Merkmal EN	DE
1	Verfahren zum Verarbeiten eines Pakets in einem End-User-Ausgangsknoten (110), umfassend:
a	Dekodieren eines eine Vielzahl von Headern aufweisenden Pakets; und
	decoding a packet having a plurality of headers; and

b	subsequent to said decoding step, communicating a portion of said packet to a direct memory access-DMA-device (120);	im Anschluss an den Dekodierungsschritt, Übermitteln eines Teils des Pakets an eine Direktspeicher-Zugriffs-DMA-Vorrichtung (120);
c	and subsequent to said communicating step, concurrently writing (1)	und im Anschluss an den Übermittlungsschritt, gleichzeitiges Schreiben (1)
aa	each of said plurality of headers to a packet buffer memory (122) and	von jedem der Vielzahl von Header in einen Puffer-speicher (122)
bb	(2) each individual one of said plurality of headers to a respective protocol stack layer memory	und (2) jedes Einzelnen der Vielzahl von Header in einen entsprechenden Protokoll-Stapel-Schichtspeicher (126, 128, 130, 132,134),
(α)	where it is available for immediate processing within a protocol stack layer.	in welchem er für ein unmittelbares Verarbeiten innerhalb einer Protokoll-Stapelschicht verfügbar ist.

Anspruch 6

Merkmal	EN	DE
6	An egress end user node (EEUN) (110) of a packet based communications system (100), comprising:	End-User-Ausgangsknoten (EEUN) (110) eines paket-basierten Kommunikationssystems (100), umfassend:
a	a decoder (116)	einen Dekoder (116),
aa	configured for decoding a packet having a plurality of headers; and	der dazu ausgebildet ist, ein eine Vielzahl von Headern aufweisendes Paket zu dekodieren; und
b	a direct memory access-DMA-device (120)	eine Direktspeicher-Zugriffs-DMA-Vorrichtung (120),
aa	coupled to said decoder (116) and	die mit dem Dekoder (116) verbunden [ist] und
bb	configured for concurrently writing (1)	zum gleichzeitigen Schreiben (1)
(1)	each of said plurality of headers to a packet buffer memory (122) and	jeder der Vielzahl von Header in einen Paket Pufferspeicher (122) und
(2)	(2) each individual one of said plurality of headers to a respective protocol stack layer memory (126, 128, 130, 132, 134)	(2) jedes Einzelnen der Vielzahl von Header in einen entsprechenden Protokoll-Stapel-Schichtspeicher (126, 128, 130, 132,134) ausgebildet ist,

- (α) where it is available for immediate processing within a protocol stack layer. in welchem er für ein unmittelbares Verarbeiten innerhalb einer Protokoll-Stapelschicht verfügbar ist.

III.

Patentansprüche 6 und 1 des Klagepatentes bedürfen im Hinblick auf einige ihrer Merkmale der Auslegung.

1.

Nach der Rechtsprechung des EPG-Berufungsgerichts ist nach Art. 69 Übereinkommen über die Erteilung europäischer Patente (EPÜ) und dem Protokoll zu seiner Auslegung (Auslegungsprotokoll) von folgenden Grundsätzen auszugehen (UPC_CoA 335/2023, Anordnung vom 26. Februar 2024, GRUR-RS 2024, 2829 – NanoString/10x Genomics (Nachweisverfahren), S. 26/27):

Der Patentanspruch ist nicht nur der Ausgangspunkt, sondern die maßgebliche Grundlage für die Bestimmung des Schutzbereichs eines europäischen Patents. Für die Auslegung eines Patentanspruchs kommt es nicht allein auf seinen genauen Wortlaut im sprachlichen Sinne an (vgl. auch die englische und die französische Sprachfassung des Auslegungsprotokolls: „the strict, literal meaning of the wording used in the claims“, „sens étroit et littéral du texte des revendications“). Vielmehr sind die Beschreibung und die Zeichnungen als Erläuterungshilfen für die Auslegung des Patentanspruchs stets mit heranzuziehen und nicht nur zur Behebung etwaiger Unklarheiten im Patentanspruch anzuwenden. Das bedeutet aber nicht, dass der Patentanspruch lediglich als Richtlinie dient und sich sein Gegenstand auch auf das erstreckt, was sich nach Prüfung der Beschreibung und der Zeichnungen als Schutzbegehren des Patentinhabers darstellt.

Der Patentanspruch ist aus Sicht der Fachperson auszulegen.

Bei der Anwendung dieser Grundsätze soll ein angemessener Schutz für den Patentinhaber mit ausreichender Rechtssicherheit für Dritte verbunden werden.

Diese Grundsätze für die Auslegung eines Patentanspruchs gelten gleichermaßen für die Beurteilung der Verletzung und des Rechtsbestands eines europäischen Patents. Das ergibt sich aus der Funktion der Patentansprüche, die nach dem Europäischen Patentübereinkommen dazu dienen, den Schutzbereich des Patents nach Art. 69 EPÜ und damit die Rechte des Patentinhabers in den benannten Vertragsstaaten nach Art. 64 EPÜ unter Berücksichtigung der Voraussetzungen für die Patentierbarkeit nach den Art. 52 bis 57 EPÜ festzulegen (vgl. EPA GBK, 11. Dezember 1989, G 2/88, ABl. 1990, 93 Rn. 2.5).

2.

Die zuständige Fachperson stuft die Lokalkammer als einen Diplomingenieur oder eine Diplomingenieurin der Fachrichtung Elektrotechnik ein mit mehrjähriger Erfahrung in der

Entwicklung von Hardware für die Paketverarbeitung für paketbasierte Kommunikationsnetzwerke.

3.

Zwischen den Parteien ist die Auslegung der Merkmale des Anspruchs 1 im Kern im Wesentlichen unstreitig, bis auf die Auslegung und Einordnung von Merkmal 1 „Verfahren zum Verarbeiten eines Pakets in einem End-User-Ausgangsknoten (110)“. Der Erzeugnisanspruch nach Anspruch 6 ist nahezu gleichlautend und wird von den Parteien nicht gesondert diskutiert.

a)

Die Parteien sind sich zu Recht darüber einig, dass der Knotenpunkt gemäß Merkmal 1., der eine Funktion in Bezug auf die Daten haben soll, auf der Verbraucher-Seite des Datentransfers liegt. Soweit die Parteien darüber streiten, ob allein ein Endknoten oder auch ein Zwischenknoten beansprucht ist, folgt die Lokalkammer der breiten Auslegung der Klägerin. Denn ausweislich der breiten Anwendungsbeschreibung in der Einleitung der Klagepatentschrift [Abs. 0001], ist der Gegenstand der Erfindung nicht auf reine Endknoten beschränkt:

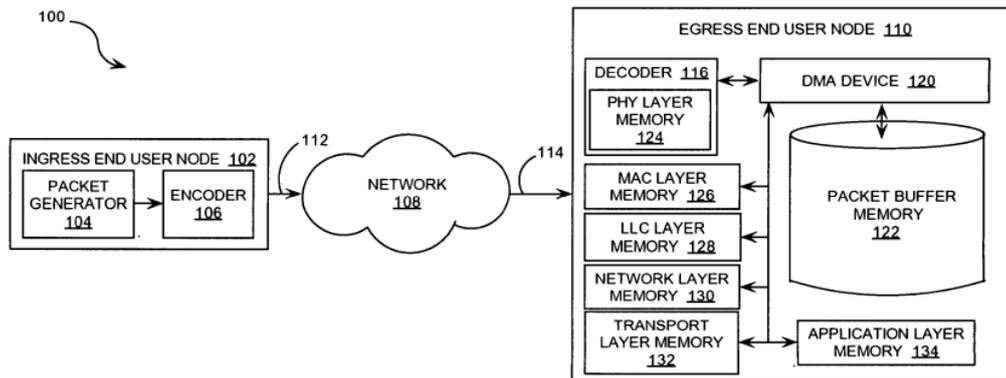
The inventive arrangements relate to wireless networks. More particularly, the present invention relates to a method and apparatus for high speed protocol header processing at an intermediate and/or destination node of a packet-based communications network.

Eine Beschränkung auf reine Endknoten ergibt sich daraus nicht; im Gegenteil beide sind ausdrücklich offenbart. Auch in Abs. [0021] sind beide Positionierungen wieder aufgegriffen und erläutert:

The network 108 is electrically or optically connected to the EEUN 110 via a network link 114. The EEUN 110 is an intermediate or destination node. If the EEUN 110 is a destination node, then the EEUN 100 is the destination of a plurality of packets in a network. The EEUN 110 can be a destination computer system, a routing device, a battery powered wireless communications device, or any other device having a TCP/IP based packet interface.

Zwar trifft es zu, dass in der Patentschrift keinerlei weitere spezifische Erläuterung zu einem Zwischenknoten enthalten ist. Aufgrund der vergleichbaren Funktionalität und dem vergleichbaren Aufbau ist der Fachperson jedoch klar, dass es für die Lehre des Klagepatents keine Rolle spielt, ob ein reiner Zielknoten oder ein netzwerkimmanenter Verteilerknoten konfiguriert wird, denn ein Endknoten kann auch als Zwischenknoten verwendet werden. Der Begriff des EEUN erscheint für die Fachperson daher als Oberbegriff für End- und Zwischenknoten gleichermaßen.

Gegenteiliges lässt sich entgegen der Ansicht der Beklagten nicht aus der Figur 4 ableiten, wonach der der EEUN mit dem Netzwerk lediglich elektrisch oder optisch verbunden sein mag, er damit Teil des „packet-based communications network“ 100 wäre, nicht aber Teil des Netzwerks 108 [0019]:



Eine Abgrenzung oder Trennung zwischen paketbezogenem Kommunikationsnetzwerk und Kommunikationssystem lässt sich der Klagepatenschrift nicht entnehmen. Auch eine Begründung für eine solche Trennung ist nicht ersichtlich. Die „Netzwerkwolke“ in den Figur 1 offenbart für die Fachperson lediglich, dass der EEUN das Paket vom IEUN über eine Netzwerkverbindung empfängt, im Gegensatz zu einer Punkt-zu-Punkt-Leitung, denn es geht für die Fachperson ersichtlich um paketbasierte Kommunikation:

b)

Die Auslegung von Merkmal 1. a), „Dekodieren eines eine Vielzahl von Headern aufweisenden Pakets“, steht zwischen den Parteien nicht im Streit. Es handelt sich unstreitig um die Umwandlung eines codierten Formats zurück in die ursprüngliche Zeichenfolge im Bereich der Informationstechnologie. Nach Merkmal 1. a) ist Objekt eines solchen Vorgangs ein Datenpaket, das eine Vielzahl von Headern aufweist. Der Begriff des Headers bezieht sich auf zusätzliche Daten, die am Anfang (oder „Kopf“) eines Datenblocks stehen, der gespeichert oder übertragen wird. Der Datenblock enthält insbesondere noch Nutzdaten (payload). So gibt es für jede Schicht des Schichtenprotokolls einen eigenen Header.

c)

Auch die Auslegung von Merkmal 1. b), „im Anschluss an den Dekodierungsschritt, Übermitteln eines Teils des Pakets an eine Direktspeicher-Zugriffs-DMA-Vorrichtung (120)“, steht im Ergebnis zwischen den Parteien nicht im Streit. Denn zunächst einmal ist unstreitig, dass – wie in Abs. [0023] beschrieben - eine Direktspeicher-Zugriffs-DMA-Vorrichtung den Nachteil überwindet, dass normalerweise Peripheriegeräte Daten aus ihrem Speicher typischerweise nur an eine mit ihnen verbundene Vorrichtung übermitteln können, indem der Hauptprozessor (CPU) dieser Vorrichtung involviert wird. Dagegen gibt es Peripheriegeräte, die Daten an die mit ihnen verbundene Vorrichtung übertragen, ohne die CPU zu involvieren. Dieser Vorgang wird als direkter Speicherzugriff (DMA) bezeichnet und wird von einem dedizierten integrierten Schaltkreis, dem so genannten DMA-Gerät, durchgeführt. Der allgemeine Zweck eines DMA-Geräts ist es, Peripheriegeräten das Lesen oder Schreiben von Daten (auf den Hauptspeicher) zu ermöglichen, ohne die CPU (Central Processing Unit) zu beanspruchen, Abs. [0023]. Dies führt zu einer effizienteren Nutzung der Systemressourcen und verbessert die Gesamtleistung des Computers. Die DMA-Vorrichtung weist

programmierbare Register oder auch Kanäle auf für multiple Speicheroperationen, vgl. Abs. [0024]:

[0024] In general, the DMA device 120 has programming registers for multiple memory transfers. The programming registers are also referred to as DMA channels. In order to choose and uniquely identify a single transfer, a DMA channel is programmed for performing actions to read data from a memory device, to write data to a memory device, to obtain an address for a source memory device, to obtain an address for a destination memory device, and/or to obtain a memory length. The DMA device 120 can also service multiple DMA channels and perform multiple data transfers.

Zu diesem Zweck lehrt das Merkmal 1. b) im Anschluss an den Dekodierungsschritt, das Übermitteln eines Teils des Pakets an eine Direktspeicher-Zugriffs-DMA-Vorrichtung (120). Die Klagepatentschrift zeigt dies durch einen Vergleich der Figuren 5 (Stand der Technik, Kolorierung von der Klägerin)

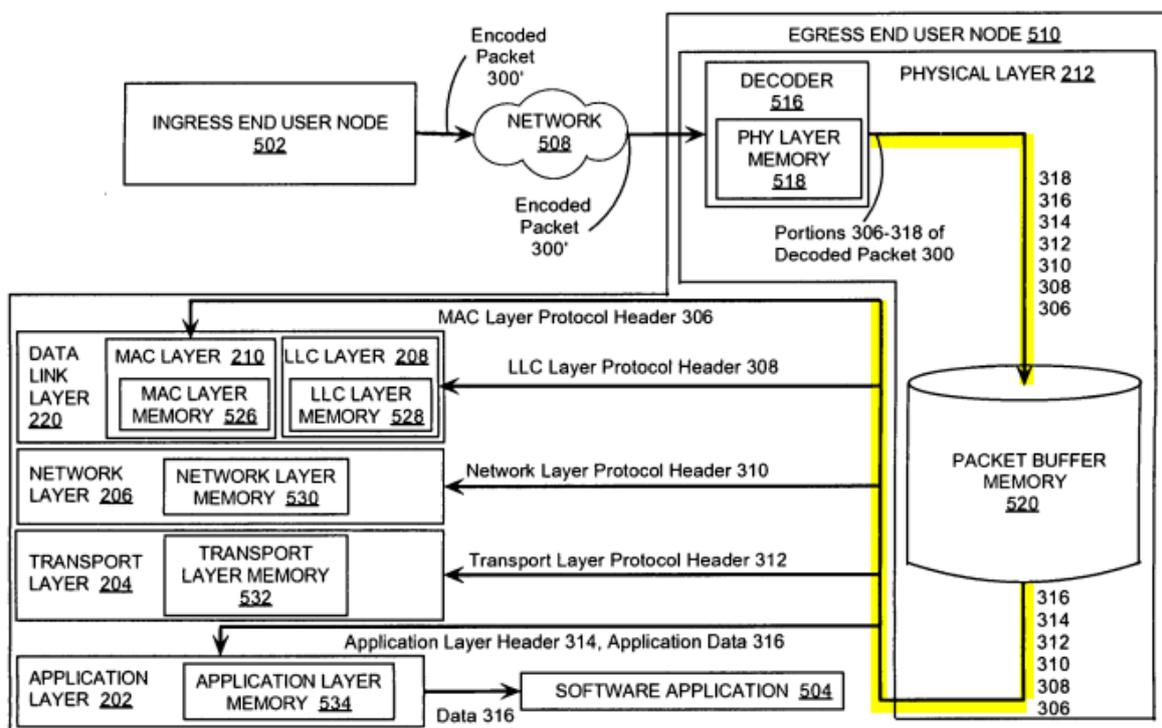
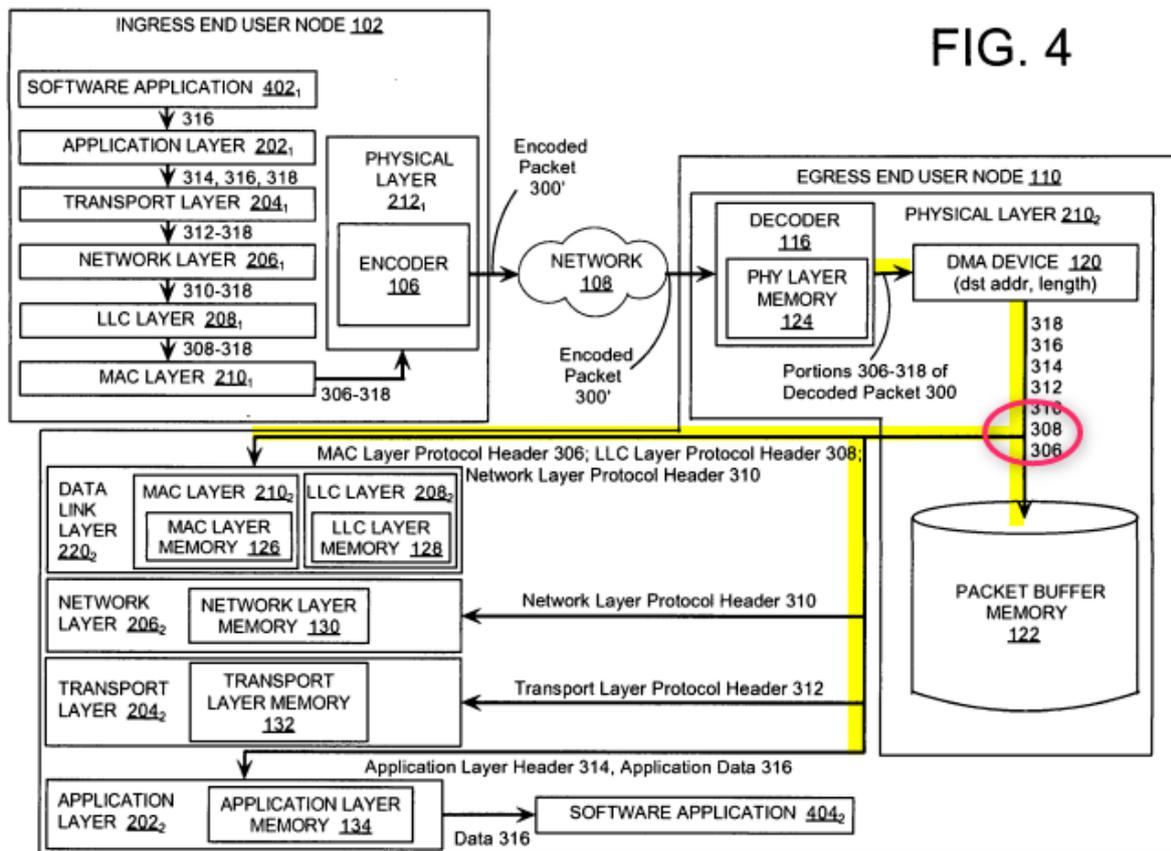


FIG. 5
(PRIOR ART)

und Figur 4 (Lösung nach dem Klagepatent, Kolorierung von der Klägerin):



Funktional ist neben der in Merkmal 1. b) beschriebenen Empfangsoperation (des Teils des Pakets) erforderlich, dass die patentgemäße DMA-Vorrichtung die in der Merkmalsgruppe 1.c) aa-bb beschriebenen Speicheroperationen ermöglichen kann, nämlich das gleichzeitige Speichern in den Paketpufferspeicher und die schichtenspezifischen Speicher. Die DMA-Vorrichtung 120 ermöglicht ein *gleichzeitiges* Speichern bzw. Weiterleiten der Paketdaten sowohl in den Paketpufferspeicher und die schichtenspezifischen Speicher. Die relevanten Paketdaten durchlaufen also nicht zuerst den Paketpufferspeicher, bevor sie in die schichtenspezifischen Speicher gelangen. Zu diesem Zweck muss die DMA-Vorrichtung auch eine Art Steuerlogik aufweisen, da Abs. [0024], wie zitiert, von verschiedenen programmierten Kanälen spricht. Dazu ist eine Speicherschnittstelle erforderlich, die eine Steuerlogik enthält, die das gezielte Schreiben von Daten an die Zielorte im Speicher ermöglicht.

Die Beklagten verweisen allerdings zutreffend darauf, dass die DMA-Vorrichtung nach Merkmal 1. b) *nur einen Teil* des Pakets übermittelt bekommen soll. Dies ist für die Fachperson erkennbar das Abschneiden der Präambel und des PHYSICAL-Headers, was an sich vor dem Decodierungsschritt erfolgt.

d)

Die Merkmalsgruppe 1. c) aa-bb (α), „und im Anschluss an den Übermittlungsschritt, gleichzeitiges Schreiben (1) von jedem der Vielzahl von Header in einen Paket-Puffer-speicher (122) und (2) jedes Einzelnen der Vielzahl von Header in einen entsprechenden Protokoll-Stapel-Schichtspeicher (126, 128, 130, 132,134), in welchem er für ein unmittelbares Verarbeiten innerhalb einer Protokoll-Stapelschicht verfügbar ist,“ offenbart, auch da sind sich die Parteien im Wesentlichen zu Recht einig, dass im Gegensatz zum vorbekannten

sequenziellen Ansatz die Header in einen Paket-Pufferspeicher und in den Speicher in der jeweiligen Schicht des Protokollstapels nicht mehr nacheinander geschrieben werden (vgl. Figur 5), sondern gleichzeitig (Figur 4). Das gleichzeitige Schreiben durch die DMA-Vorrichtung gemäß Merkmal 1. c) soll nach dem Klagepatent dadurch erreicht werden, dass die DMA-Vorrichtung anders als bei bekannten EEUN nicht nur einen Datentransfer in den Paket-Pufferspeicher (Merkmal 1. c) aa) durchführt, sondern darüber hinaus auch einen Transfer in die jeweiligen schichtenspezifischen Speicher (Merkmal 1. c) bb). Im Stand der Technik nach Figur 5 wird die Übertragung der Paketdaten in den Paket-Pufferspeicher abgewartet, und erst dann werden sie – aus dem Paket-Pufferspeicher heraus – in die schichtenspezifischen Speicher zur Verarbeitung übertragen. Dagegen stehen nach der Lehre des Klagepatents die Paketdaten aufgrund der gleichzeitigen Speicherung ohne den Umweg über den Paket-Pufferspeicher in den jeweiligen schichtenspezifischen Speichern sofort zur Verarbeitung durch die jeweilige Protokoll-Stapel-Schicht zur Verfügung. Die Klagepatentschrift spricht von einem „cross layer architecture framework“:

[0026] ... However, the DMA devices are provided only for a one time transfer of a packet from the MAC layer memory to a CPU main memory. As will be appreciated, this single transfer does not solve or deal with the varying latencies and the increased processing consequences present in a high speed wireless network.

[0027] In order to solve this problem, a DMA device is used to concurrently write the specific layer header fields directly into: (a) each protocol stack layer's internal memory spaces 126,[...] 134 to initiate immediate processing; and (b) the packet buffer memory 122. This arrangement provides what is essentially a cross layer architecture framework. This approach facilitates a high data transfer rate by allowing the exchange of information between the protocol stack layers. In doing so, it reduces processing latency and thereby increases bandwidth.

Hierdurch soll nach der Lehre des Klagepatents die Latenz oder Verzögerung vermieden werden, die sich aus einer Abarbeitung gemäß dem in Fig. 5 dargestellten Stand der Technik ergibt. Gleichzeitig ist - unstreitig - nicht Bedingung, dass die Abarbeitung in Bezug auf den Paketpufferspeicher einerseits und die Protokoll-Stapel-Schichtspeicher andererseits quasi auf die Nanosekunde genau gleichzeitig oder simultan zu erfolgen hätte. Vielmehr ist die von Merkmal 1. c) bb.(α) geforderte „unmittelbare“ Verarbeitbarkeit gegeben, wenn die Header in den entsprechenden schichtspezifischen Protokollspeichern in lesbarer Form vorliegen. Der Gegenstand von Anspruch 1 umfasst, dass die Headerdaten verarbeitbar („available for immediate processing“) sind, nicht aber die Verarbeitung („processing“) selbst. Dadurch, dass der Header einer bestimmten Schicht in einen hierfür vorgesehenen Speicherplatz im Protokoll-Stapel-Schichtspeicher geschrieben wird, ist er für eine unmittelbare Verarbeitung innerhalb seiner Protokoll-Stapelschicht verfügbar. Der Fachperson ist damit klar, dass um die Header in die für ihre Schicht vorgesehenen Speicherplätze schreiben zu können, der DMA-Vorrichtung (welche das Schreiben ausführt) die Lage der Header in dem Paket bekannt sein muss. Die Header werden dann unverarbeitet (eins-zu-eins) in die entsprechenden Protokoll-Stapel-Schichtspeicher geschrieben, damit das Verarbeiten aus den Protokoll-Stapel-

Schichtspeichern heraus gleichzeitig erfolgen kann. Zu diesem Verarbeiten erst gehört nach Abs. [0046] auch das Extrahieren von Feldern aus den Headern.

e)

Ansprüche 1 und 6 in der Fassung des Hilfsantrags 1 weisen bei der Auslegung keine Probleme auf. Sie fügen den erteilten Ansprüchen jeweils das Merkmal des erteilten Anspruchs 2 hinzu, nämlich bei Anspruch 1:

The method according to claim 1, further comprising
concurrently processing said plurality of headers in each of a plurality of
protocol stack layers.

gleichzeitiges Verarbeiten der Vielzahl von Header in jedem der Vielzahl von
Protokoll-Stapelschichten

bzw. bei Anspruch 6:

The egress end user node being further configured to: concurrently
processing said plurality of headers in each of a plurality of protocol stack
layers.

Insbesondere sieht Merkmal 1. c) bb (a) vor, dass die Mehrzahl der Header in den entsprechenden Protokollspeichern zur unmittelbaren Verarbeitung vorliegen. Insbesondere könnten die Header auch gleichzeitig verarbeitet werden. Ansprüche 1 und 6 des Hilfsantrags 1 definieren, dass eine parallele Verarbeitung der verschiedenen Header eines Pakets stattfindet. Dem kann entnommen werden, dass alle Header – nicht nur ein Teil – zur gleichen Zeit verarbeitet werden bzw. deren Verarbeitung zumindest zur gleichen Zeit beginnt, wie z.B. in Abs. [0029] des Klagepatents ausgeführt.

f)

Ansprüche 1 und 6 in der Fassung des Hilfsantrags 2 fügen den erteilten Ansprüchen folgendes Merkmal hinzu:

Wherein the plurality of headers includes a MAC layer protocol header (306)
and a network layer protocol header (310).

wobei die Vielzahl von Headern einen Media-Access-Control-Schicht-
Protokoll-Header und einen Netzwerk-Schicht-Protokoll-Header umfasst.

Auch insoweit weist die Auslegung keine Schwierigkeiten auf. Die Klägerin kann sich für diese Merkmale zutreffend auf Seite 14, Z. 16 bis 19 und S. 12 Z. 5 bis 9 der Ursprungsbeschreibung berufen. Durch die weitere Beschränkung auf „MAC layer protocol header“ und „network layer protocol header“ definiert der Hilfsantrag 2 auch die Speicher und Protokollschichten weiter, wie in Abs. [0043] offenbart:

The decoder 116 also performs actions to remove the preamble 302 and the
physical layer protocol header 304 from the decoded packet 300. The
decoder 116 can further perform actions to forward the preamble 302 and
the physical layer protocol header 304 to the physical (PHY) layer memory
124 for storage. Thereafter, the decoder 116 performs actions to
communicate a portion of the decoded packet 300 to a DMA device 120
(described above in relation to FIG. 1). In this regard, it should be understood

that the portion of the decoded packet 300 includes a media access control protocol header 306 (described above in relation to FIG. 3), a logic link control (LLC) protocol header 308 (described above in relation to FIG. 3), a network layer protocol header 310 (described above in relation to FIG. 3), the transport layer protocol header 312, the application layer header 314, and the application data 316. The portion of the decoded packet 300 may also include the frame check sequence (FCS) 318.

Anlass, diese Schichten nach dem OSI-Schichtenmodell auf die sogenannte „L2“ und „L3“ Schicht zu beschränken, wie die Beklagten meinen, besteht nach der Beschreibung des Klagepatents hingegen nicht.

g)

In Bezug auf den Hilfsantrag 3 beruft sich die Klägerin insoweit auf Seite 11, Z. 7 bis 9, 20, 26 und S. 12 Z. 1 und 2 der Ursprungsbeschreibung. Sie führt an, die Ausgestaltung der Protokollschichten als „Firmware“ ermögliche, diese an verschiedene Headerformate anzupassen. Dadurch könnte die Vorrichtung flexibel an verschiedene Headerformate angepasst werden, was in vielen Lösungen des Stands der Technik nicht möglich gewesen sei. Im Streitfall kann offen bleiben, ob dieser Hilfsantrag 3 hinreichend klar ist, mit Blick darauf, dass, wie die Beklagten monieren, das Klagepatent selbst keinen Hinweis darauf gibt, was unter Firmware zu verstehen sei. „Firmware“ wird lediglich nur als Gegenstück zur „Hardware“ beschrieben, vgl. Abs. [0034] bis [0038]. Auf diesen Hilfsantrag kommt es indes nicht weiter an (siehe dazu nachfolgend D. V.).

h)

Die Hilfsanträge 4 bis 6 kombinieren die Merkmale der Hilfsanträge 1 bis 3. Insoweit kann auf die obigen Ausführungen Bezug genommen werden.

C.

Die Nichtigkeitswiderklage der Beklagten ist mit Blick auf die mit der Widerklage, aber auch mit Blick auf die mit der Duplik eingeführten Dokumente zum Stand der Technik unbegründet. Allen Entgegnungen fehlt die Offenbarung einer vorgeschalteten, mit programmierbaren Kanälen versehenen DMA-Vorrichtung, die die Schreiboperationen parallel ohne Einschaltung der CPU nach dem Klagepatent ausführt. Ansprüche 1 und 6 des Klagepatents erweisen sich damit als rechtsbeständig.

I.

Die Druckschrift US Patentanmeldung 2006/0072564 A1 (Anlage BP-CR1/Cornett), veröffentlicht am 6. April 2006, steht dem Rechtsbestand des Klagepatents nicht entgegen.

1.

Die Druckschrift Anlage BP-CR1/Cornett beschreibt ein System zur beschleunigten Verarbeitung von TCP/IP Paketen in einem paketbasierten Netzwerk (vgl. Abs. [0003] und [0004]). Sie stellt sich die Aufgabe, die Speicherzugriffe in einem Knoten eines Netzwerks zu beschleunigen (vgl. Abs. [0005]), wobei mittels eines speziellen Network Interface Controllers (NIC) und der Verarbeitung von Headerdaten und Nutzdaten (engl. „payload“) eine

beschleunigte Verarbeitung gewährleistet werden soll. Gemäß Figur 10 mit zugehörigem Text werden zur beschleunigten Verarbeitung empfangenen Pakete mit Header sowie Payload einerseits und andererseits aus den Paketen replizierte Header an unterschiedlichen Speicherorten gespeichert.

2.

Die Entgegenhaltung BP-CR1/Cornett steht der Neuheit von Ansprüchen 1 und 6 des Klagepatents nicht entgegen, da Kern ihrer Lösung ist, den Header von dem Rest des Pakets (der Payload) abzuspalten und die Header platzsparend zu speichern und über den Cache zu verarbeiten, nicht aber ein *paralleles* Schreiben in einen Pufferspeicher einerseits und in einen Protokollschicht-Speicher andererseits.

a)

Der Entgegenhaltung lässt dabei nicht entnehmen, dass ein paralleles Speichern des Headers gemäß Merkmalsgruppe 1. c) stattfindet und diese Header dann unmittelbar zur weiteren Verarbeitung vorlägen. Insbesondere ist kein *paralleles* Schreiben in einen Pufferspeicher einerseits und in einen Protokollschicht-Speicher andererseits offenbart. Bei der Speicherung von Paketen und replizierten Headern an unterschiedlichen Speicherorten gemäß Figur 10 wird hingegen keine DMA-Engine erwähnt, so dass bei den Speicheroperationen gemäß Figur 10 eine Gleichzeitigkeit zumindest nicht unmittelbar zu entnehmen ist. Die Payload enthält zwar eine Vielzahl an Headern von höheren Protokoll-Schichten (Merkmal 1. c) aa), jedoch wird weiterhin gemäß Figur 10 mit zugehörigem Text lediglich 1 Header gespeichert und keine Vielzahl von Headern einzeln und gleichzeitig jeweils in einen entsprechenden Protokoll-Stapel-Schichtspeicher (Merkmal 1c bb) für ein unmittelbares Verarbeiten innerhalb der Protokoll-Stapelschicht (Merkmal 1c bb (α)). Vielmehr lehrt die Entgegenhaltung, einen Teil eines Pakets sowie einen Header eines Pakets in demselben Speicher zu speichern, nämlich dem Speicher einer CPU.

b)

Auch der von den Beklagten zitierte Abs. [0034] der Entgegenhaltung belegt tatsächlich kein paralleles Schreiben, sondern lediglich ein Split zwischen Header und Payload, also eigentlichem Dateninhalt. Nach den Beschreibungsstellen in Absätzen [0034 und 0036] werden die Headerdaten eines Pakets in zwei Speicher geschrieben. Dabei offenbart Absatz [0035] insbesondere, dass der Header einmal getrennt von der Payload und einmal mit der Payload gespeichert wird, was aber mittels der CPU erfolgt:

[0035] In another embodiment, header 230 may additionally be stored in the second buffer. In an embodiment, this may result from using the split header feature, and placing the header in the same location in which the payload is stored. In other embodiments, this may result from using a header replication feature. In header replication, circuitry may store the header and the payload (i.e., the packet) at a first location (e.g., second buffer), and store a predetermined number of bytes of the packet in a second location (e.g., first buffer). The predetermined number may correlate to a number of bytes of the header in a packet, and may be configurable. With header replication, circuitry does not need to perform parsing to determine where the header ends and the payload begins.

Ein paralleles Schreiben ist entgegen der Ansicht der Beklagten nicht dadurch offenbart, dass vor der Speicherung der Network-Interface-Controller (NIC 600) in einem ersten Schritt die Headerdaten vor dem Schreiben identifiziert haben muss, z.B. durch Parsen, um in der Lage zu sein, diese getrennt von den Nutzdaten speichern zu können. Auch der Umstand, dass in der Tat nicht zu fordern ist, dass es sich bei den unterschiedlichen Protokoll-Stapel-Schichtspeichern (einer für jeden Header) um physisch getrennte Speicher handeln müsste, was auch für den Paket-Pufferspeicher einerseits und die Vielzahl der Protokoll-Stapel-Schichtspeicher andererseits gelten kann. Denn zentrales Element der Lehre der Entgegenhaltung ist, dass die Daten aus dem CPU-Speicher in einen Cache-Speicher geladen werden.

c)

Zwar wird der Einsatz einer DMA-Vorrichtung ausdrücklich in Anspruch 13 der Druckschrift beschrieben:

13. A system comprising:

a chipset having a DMA (direct memory access) engine, the chipset communicatively coupled to a transport protocol driver of a processor and to a network controller; and circuitry to: receive a packet having a payload portion and a header portion; store the packet in a first location, and storing the header portion in a location different from the first location; and determine if the packet is an offload packet, and if the packet is an offload packet, perform accelerated processing on the packet.

Für Speicheroperationen nach Merkmalsgruppe 1. c) wird jedoch auch insoweit in der Entgegenhaltung keine patentgemäße DMA-Vorrichtung offenbart. Die Speicheroperationen erfolgen vielmehr allein von einer CPU. Entgegen der Ansicht der Beklagten wird auch der NIC nicht mit der Aufgabe einer parallelen und direkten Speicherung ohne die CPU beschrieben. Vielmehr wird in Abs. [0064] beschrieben, dass die Trennung von Header und Payload mehr Speicherung von Headern im Arbeitsspeicher ermögliche:

[0064] By splitting a packet apart and excluding packet payloads from these pages, a larger number of headers can be concentrated together. This reduced set of pages can then be managed in a way to permit effective prefetching of packet headers into the processor cache before the protocol stack processes the header.

Nichts anderes gilt für die Passage, die eine DMA beschreibt:

[0074] For packets selected for splitting, the controller can cause storage 704 (e.g., via Direct Memory Access (DMA)) of the packets header in the page(s) used to store headers and separately store 706 the packet's payload.

Auch diese Passagen bestätigen, dass die Speicheroperationen allein von einer CPU erfolgen und gerade nicht unter ihrer - klagepatentgemäßen - Umgehung.

II.

Die Druckschrift US Patent 7,218,632 (Anlage BP-CR2/Bechtolsheim), veröffentlicht am 15. Mai 2007, steht dem Rechtsbestand des Klagepatents ebenfalls nicht entgegen.

1.

Die Druckschrift Anlage BP-CR2/Bechtolsheim beschreibt ein Verfahren und ein System für die Paketverarbeitung, bei welchem ein Router oder ein Switch in der Lage ist, eingehende Pakete schnell zu verarbeiten sowie Routing-Dienste und weitere Dienste in Echtzeit durchzuführen. Eine sog. Packet-Processing-Engine (PPE) empfängt Pakete, speichert die Pakete, trennt durch ein Parsen Header und Payload und leitet die Header-Information an eine sog. Weiterleitungseinheit (FFE) weiter für die Routing-Entscheidungen. Packet-Processing-Engine (PPE) und Weiterleitungseinheit (FFE) verfügen über getrennte Hardware, so dass ihre Funktionen parallel ausgeführt werden können. Sie stellt sich die Aufgabe, komplexe Verarbeitungsschritte zu vereinfachen. Es wird vorgeschlagen, in der PPE die Header- und Nutzdaten zu trennen und die Entscheidung über deren Weiterleitung einer Weiterleitungseinheit (FFE) zu überlassen (vgl. Sp. 1, Z. 51 bis 61). Das Trennen der Header- und Nutzdaten geschieht derart, dass das gesamte Paket (engl. „entire paket“) im Speicher des PPE gespeichert wird, also Header- und Nutzdaten. Der PPE leitet dann die Headerdaten sowie das gesamte Paket (also Header- und Nutzdaten) weiter, wie schematisch in Figur 1 dargestellt.

2.

Die Entgegenhaltung BP-CR2/Bechtolsheim steht der Neuheit von Ansprüchen 1 und 6 des Klagepatents nicht entgegen.

a)

Der Entgegenhaltung ist nicht zu entnehmen, dass ein paralleles Speichern des Headers stattfinden würde, insbesondere kein paralleles Schreiben in einen Pufferspeicher einerseits und einen Protokollschicht-Speicher andererseits. Nach der Lehre dieser Druckschrift werden die Speicheroperationen des gesamten Pakets und der abgespaltenen Headerdaten nicht parallel, sondern sequentiell vorgenommen. Das gesamte Paket wird zunächst in den PPE-Speicher abgespeichert und danach werden die Headerdaten abgespalten. Insoweit fehlt auch die Parallelität der Speicheroperationen. Die Weiterleitung und Speicherung der Header-Information erfolgt klar nach der Speicherung und dem Parsen des Pakets; die beiden Speicheroperationen sind damit nicht gleichzeitig (Merkmal 1. c).

b)

Zudem fehlt jeder Hinweis darauf, dass den Headern mindestens zwei verschiedene Protokollschichten zur sofortigen und folglich parallelen Verarbeitung bereitstünden. Zwar ist in der Entgegenhaltung beschrieben, dass die Headerdaten sowie das gesamte Paket (also Header- und Nutzdaten) an „zwei Speicherorte“ im Paketspeicher gespeichert werden. Für die Annahme der Beklagten, hierzu müsse es zwangsläufig eine Weichen-Funktionalität geben, die die Headerdaten in den einen Speicherort leiten und das gesamte Paket an einen anderen Speicherort, der verschieden sei vom Speicherort der Headerdaten, und dass die Paketdaten

und die Headerdaten daher „gleichzeitig“ in die jeweiligen Speicher geschrieben, findet sich in der Entgegenhaltung jedoch keine Stütze. Vielmehr erfolgt auch hier die Weiterleitung des Pakets in den PPE-Speicher nicht ohne eine CPU. Insoweit lässt sich der Entgegenhaltung nicht entnehmen, dass die dort beschriebenen Speicheroperationen mittels einer klagepatentgemäßen DMA-Vorrichtung vonstattengingen; eine DMA-Vorrichtung wird in der Druckschrift nicht erwähnt.

III.

Auch die Druckschrift US Patentanmeldung 2004/0039787 A1 (Anlage BP-CR3/Zemach), veröffentlicht am 26. Februar 2004, steht dem Rechtsbestand des Klagepatents nicht entgegen.

1.

In der BP-CR3/Zemach werden Verfahren und Vorrichtungen, wie Router oder Switches, zur Verarbeitung von Paketen eines Netzwerks beschrieben. Für die parallele Paket-Verarbeitung kommen mehrere Verarbeitungsressourcen zum Einsatz, auf die mit Hilfe von DMA-Techniken zugegriffen wird. In Figur 2 mit zugehörigem Text wird die Arbeitsweise eines Paket-Prozessors beschrieben. Ein Paket wird über eine Schnittstelle empfangen und ein erster Teil des Pakets wird in einem globalen Paket-Pufferspeicher gespeichert. Ein zweiter Teil des Pakets mit nötigen Informationen zur Paket-Verarbeitung, insbesondere Header-Daten, wird an einen Verteiler weitergeleitet. Der Verteiler leitet anschließend einen Teil des Pakets an eine verfügbare Paket-Verarbeitungs-Engine. Nach der Verarbeitung wird ein weiterer modifizierter Teil des Pakets in einen Ausgangs-Paket-Header-Pufferspeicher gespeichert und anschließend wird dieser modifizierte Teil des Pakets zusammen mit dem Teil im globalen Paket-Pufferspeicher als modifiziertes Paket an die nächste Komponente weitergeleitet. Insbesondere Letzteres deutet auf einen sequenziellen Verarbeitungsansatz hin, von dem sich das Klagepatent gerade abgrenzen möchte.

2.

Die Entgegenhaltung BP-CR3/Zemach steht der Neuheit von Ansprüchen 1 und 6 des Klagepatents nicht entgegen.

a)

Der Entgegenhaltung fehlt es an einer Offenbarung der klagepatentgemäßen parallelen Schreiboperationen. Zwar zeigt Figur 2 von BP-CR3/Zemach eine Weiche, bei der von der Eingangsschnittstellenschaltung zwei Leitungen (Pfeile) wegführen und zwar einer in den Verteiler 220 und einer in den Paketspeicher. Allerdings ist in dieser Druckschrift entgegen der Ansicht der Beklagten nicht gelehrt, dass die Schreiboperation in den Eingangsspeicher des Verteilers 220 *gleichzeitig* mit dem Schreiben in den globalen Paketspeicher 239 erfolgen würde.

b)

Zudem ist nicht erkennbar, dass die Eingangsschnittstellenschaltung 212 gemäß dem Merkmal 1. b) des Klagepatents nur einen Teil des Pakets erhalte. Vielmehr kommt nach der Lösung in der Druckschrift das Gesamtpaket an. Anders als in der patentgemäßen Lehre des Klagepatents findet in dem „Verteiler 220“ („distributor“) keine unmittelbare Verarbeitung statt, sodass der Verteiler keinen Protokollschichtspeicher darstellen kann. Der

angenommene Eingangsspeicher des Verteilers stellt jedenfalls keinen klagepatentgemäßen Protokoll-Stapel-Schichtspeicher dar, in den eine Vielzahl von Headern einzeln und gleichzeitig jeweils gemäß ihres Protokolls geschrieben werden kann, so dass sie für ein unmittelbares Verarbeiten innerhalb der Protokoll-Stapelschicht zur Verfügung stehen. Zwar wird auch in der Druckschrift eine Teilung von Paketen in überlappende Header- und Payload-Teile offenbart, jedoch keine klagepatentgemäße Teilung von empfangenen bzw. dekodierten Paketen im Sinne der Merkmalsgruppen 1. a) – b).

c)

Nach der Lehre des Klagepatents stellen ferner Decoder und DMA getrennte Einheiten dar, denn das Klagepatent fordert eine Übermittlung vom Decoder an die DMA. Entsprechendes ist in der Entgegenhaltung BP-CR3/Zemach nicht offenbart.

Zudem ist nichts dafür ersichtlich, dass die Eingangsschnittstellenschaltung (212) eine DMA darstellen könnte und ein Lese- und Schreibvorrichtung mit Steuerlogik aufweisen würde. Insoweit ist zu berücksichtigen, dass die Druckschrift grundsätzlich DMA-Vorrichtungen kennt, sie aber nicht für die Zwecke der Schreib- und Speicheroperationen nutzt. Vielmehr ist eine DMA nach dieser Druckschrift nach Absatz [0040] erst an der Stelle der Verarbeitung vorgesehen ist:

[0040] FIG. 3C illustrates one embodiment of a packet processing engine 365. Processor 382, based on instructions provided by instruction cache 381, performs operations on the Second Subset of bytes of a received packet and/or other data or information stored in data memory 383. Data memory is one type of computer-readable medium. In one embodiment, packet-processing engine 365 communicates with other components and/or resources via direct memory access (DMA) device 384, although any communication mechanism could be used.

IV.

Die Druckschrift US Patent 6,687,247 (Anlage BP-CR4/Wilford), veröffentlicht am 3. Februar 2004, steht dem Rechtsbestand des Klagepatents ebenfalls nicht entgegen.

1.

Die BP-CR4/Wilford beschreibt eine Architektur für ein Hochgeschwindigkeits-Routing von Paketen in einem Netzwerk. Nach Empfang, Demodulation, Deframing und Bearbeitung der empfangenen Pakete werden gemäß Figur 8 mit zugehörigem Text die Pakete über eine Schnittstelle empfangen und anschließend werden sowohl die Pakete in einen Paketspeicher, der als FIFO ausgestaltet ist, als auch die Header in einen Lookup-Header-FIFO

geschrieben. Anschließend werden die Header-Daten im Lookup-Header-FIFO gemäß Figur 8 „geparst“.

2.

Die Entgegenhaltung BP-CR4/Wilford steht der Neuheit von Ansprüchen 1 und 6 des Klagepatents nicht entgegen, da in ihr kein Protokoll-Stapel-Schichtspeicher offenbart ist und auch keine klagepatentgemäße DMA.

a)

Es ist in der Entgegenhaltung nicht ersichtlich, dass der dortige Lookup-Header-FIFO als klagepatentgemäßer Protokoll-Stapel-Schichtspeicher zu verstehen ist, in welchem eine Vielzahl von Headern, hier MAC- und IP-Header, einzeln und gleichzeitig jeweils entsprechend ihrer Protokoll-Schicht geschrieben werden (Merkmal 1.c.bb) für ein unmittelbares Verarbeiten innerhalb der jeweiligen Protokoll-Stapelschicht (Merkmal 1.c.bb.(α)). Vielmehr müssen die in den Lookup-Header-FIFO geschriebenen Header zunächst geparst werden, um entsprechend ihrer Protokoll-Schicht vereinzelt für eine Verarbeitung zur Verfügung zu stehen und dann an den Lookup CORE gesandt werden.

b)

Auch eine klagepatentgemäße DMA ist in der Druckschrift nicht offenbart. Zwar wird eine DMA-Vorrichtung in der Druckschrift erwähnt, jedoch nicht im Zusammenhang mit Schreiboperationen in den Paketspeicher-FIFO bzw. Lookup-Header-FIFO (Merkmal 1.b). Ob und an welcher konkreten Stelle der Paket-Verarbeitung eine Teilung, insbesondere von Präambel und physikalischem Schicht-Header, von empfangenen bzw. dekodierten Paketen stattfindet, ist der Entgegenhaltung ebenfalls nicht zu entnehmen. Entgegen der Ansicht der Beklagten kann daher auch in dem „Physical-Layer-Interface-Module (PLIM)“ keine DMA-Vorrichtung im Sinne des Merkmals 1. b) als offenbart angesehen werden.

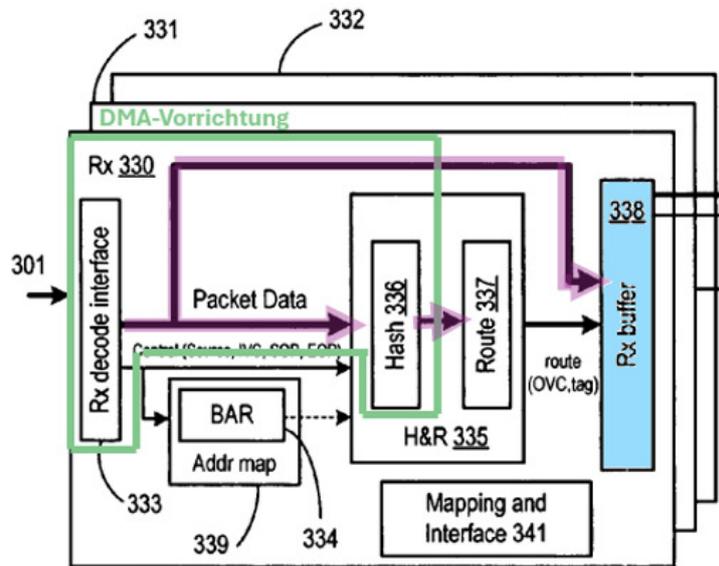
V.

Die Druckschrift US Patentanmeldung 2005/0078601 A1 (Anlage BP-CR5/Moll), veröffentlicht am 14. April 2005, steht dem Rechtsbestand des Klagepatents ebenfalls nicht entgegen.

1.

Die BP-CR5/Moll beschreibt einen Multiprozessor-Switching-Chip zum parallelen Routen von Paketen in Hochgeschwindigkeitsnetzwerken. Gemäß Figur 3 dekodiert ein Decoder empfangene Pakete und leitet Paketdaten an einen Empfängerpuffer zur Speicherung sowie Paketdaten und Header-Daten an einen sog. Hash- und Route-Schaltkreis. Ein darin

enthaltener Hash-Block extrahiert Felder, insbesondere Header, aus dem Paket und „hasht“ sie bei Bedarf (vgl. Figur 3 mit Kolorierung der Beklagten):



2.

Auch unter Berücksichtigung der Optionalität der Hashoperation in Block 336 steht die Entgeghaltung BP-CR5/Moll der Neuheit von Ansprüchen 1 und 6 des Klagepatents nicht entgegen, da keine klagepatentgemäße DMA offenbart ist.

a)

Unabhängig davon, wie man die grüne Linie in der Kolorierung der Beklagten in Figur 3 zieht, ist mit der Entgeghaltung keine klagepatentgemäße DMA, sondern nur eine einfache Datenleitung offenbart. Denn in der BP-CR5/Moll werden die Headerdaten als ein Block übertragen, die erst dem Parser zugeführt werden müssen, hier dem Hash-Block 336. Nach Abs. [0081] der Entgeghaltung enthält die Packet Data alle Header und die Payload. Dagegen wird nach der Lehre des Klagepatents nur ein Teil des Pakets nach dem Dekodierungsschritt an die Direktspeicher-Zugriffs-DMA-Vorrichtung übermittelt, während vor der Übermittlung die Präambel und der Header der Physical Layer bereits separat abgespeichert werden und deshalb nicht in dem Teil des Pakets umfasst sind, das an die DMA-Vorrichtung übermittelt wird. Nach der Lehre der BP-CR5/Moll ist dies dagegen die Aufgabe des Decoders, nämlich die „Packet Data“ ohne Präambel und PHYSICAL-Header an den „Rx buffer“ und an den H&R-Schaltkreis zu übergeben.

b)

Die Entgeghaltung offenbart ferner nicht, dass die einzelnen Header in jeweilige Protokoll-Stapel-Schichtspeicher geschrieben würden, von wo diese für das unmittelbare Verarbeiten innerhalb der jeweiligen Protokollstapelschicht verfügbar wären. Vielmehr werden spezifische Teile der Header („specific parts of the headers“) als Teil einer Eingabemenge für eine Hash-Funktion verwendet und auf einen gemeinsamen Hashwert abgebildet, wie Abs. [0051 und

0052] zeigen. Für den anschließenden „routing block 337“ liegen die Header demnach nicht getrennt zur separaten Verarbeitung innerhalb einer Protokoll-Stapelschicht bereit.

c)

Auch unter dem Blickwinkel, dass die Hash-Operation gemäß Absatz [0051] lediglich optional zu implementieren ist, findet sich keine Offenbarung dazu, dass die einzelnen Header nach dem Dekodieren (parallel) in jeweilige Protokoll-Stapel-Schichtspeicher geschrieben würden, von wo diese für das unmittelbare Verarbeiten innerhalb der jeweiligen Protokollstapelschicht verfügbar wären. Vielmehr liegen entgegen der Ansicht der Beklagten für den anschließenden „routing block 337“ die Header nicht getrennt zur separaten Verarbeitung innerhalb einer Protokoll-Stapelschicht bereit. Damit ist lediglich eine einfache Datenleitung gegeben, die ein anschließendes Parsen der Headerdaten noch nach sich zieht. Die Separierung der Header findet gemäß Absatz [0081] der Entgegenhaltung erst durch eine nachgelagerte Verarbeitung im Hash-Block 336 statt.

d)

Zudem ist keine Dekodierung und im Anschluss die Übergabe an eine DMA-Vorrichtung offenbart, die die Header dann gleichzeitig in zwei verschiedene Speicher schreibt. Die Offenbarung einer DMA-Vorrichtung in der Entgegenhaltung verfolgt einen anderen Zweck, nämlich einen Paketmanager, wie Abs. [0029] zeigt:

[0029]. The packet manager 148 circuitry communicates packets between the interfaces 162, 166, 170 and the system memory, and may be a direct memory access (DMA) engine that writes packets received from the Switching module 140 into input queues of the System memory and reads packets from output queues of the System memory to the appropriate configurable packet-based interface 162, 166, 170. The packet manager 148 may include a packet manager input and a packet manager output each having its own DMA engine and associated cache memory. The cache memory may be arranged as first in first out (FIFO) buffers that respectively support the input queues and output queues.

VI.

Schließlich steht auch die Druckschrift US Patent 7,069,372 B1 (Anlage BP-CR6/Leung), veröffentlicht am 27. Juni 2006, dem Rechtsbestand des Klagepatents nicht entgegen.

1.

Die BP-CR6/Leung beschreibt einen Prozessor mit einer Array-Pipeline mit einer Vielzahl von programmierbaren Stages für die Verarbeitung von Paketen für einen Router mit einer Vielzahl an Eingangs- und Ausgangs-Ports für Pakete. Gemäß den Figuren 2 und 3 werden empfangene Pakete zunächst in einen von mehreren Paket-FIFO-Buffer gespeichert. Ein Paket-Arbiter wählt ein Paket aus und leitet dieses an einen sog. Header-Sequencer. Dieser Header-Sequencer leiten zum einen das gesamte Paket an einen Paket-Puffer-Speicher und extrahiert zum anderen den Paket-Header und leitet diesen an eine Parsing-Verarbeitungs-

Einheit (PXU). Gemäß Figur 14 parst die Parsing-Verarbeitungs-Einheit (PXU) den Paket-Header, um die IP-Ziel-Adresse zu extrahieren.

2.

Die Entgegenhaltung BP-CR6/Leung steht der Neuheit von Ansprüchen 1 und 6 des Klagepatents nicht entgegen, da auch sie keine Direktspeicher-Zugriffs-DMA-Vorrichtung offenbart.

a)

Ein Speicher oder Buffer wird in der Entgegenhaltung für die Parsing-Verarbeitungs-Einheit (PXU) nicht beschrieben. Somit wird in der Druckschrift auch kein klagepatentgemäßer Protokoll-Stapel-Schichtspeicher offenbart (Merkmale 1.c.bb oder 6.b.bb.(2)), in den eine Vielzahl von Headern einzeln und gleichzeitig jeweils entsprechend ihrer Protokoll-Schicht geschrieben werden für ein unmittelbares Verarbeiten innerhalb der jeweiligen Protokoll-Stapelschicht (Merkmale 1.c.bb.(α) oder 6.b.bb.(2).(α)). Stattdessen wird nur der IP-Header an die Parsing-Verarbeitungs-Einheit (PXU) weitergeleitet und dort ohne Zwischenspeicherung geparkt sowie dann unmittelbar an eine Lookup-Execution-Unit (LxU) geleitet, in der mit Hilfe der Array-Pipeline der Lookup-Prozess erfolgt. DMA-Techniken im Hinblick auf Schreiboperationen zwischen der Empfangsschnittstelle und dem globalen Paket-Pufferspeicher sowie dem Verteiler sind in der Druckschrift nicht erwähnt (Merkmale 1.b oder 6.b). Es wird keine Direktspeicher-Zugriffs-DMA-Vorrichtung offenbart, die ein paralleles Schreiben der Header in einen Pufferspeicher einerseits und einen Protokollschicht-Speicher andererseits vornimmt.

b)

Auch kann die von den Beklagten kolorierte Version von Figur 2 der BP-CR6/Leung keine gemäß der Klagepatentschrift ausgestaltete „DMA-Vorrichtung“ zeigen, weil dann die DMA selbst die Header-Separierung (Parsing) vornehmen würde, was nicht anspruchsgemäß wäre, und weil es ohnehin an einer gleichzeitigen und eben nicht sequentiellen Speicherung der Header an zwei Speicherorten fehlt. Zudem werden die Operationen durch die CPU durchgeführt und nicht unter ihrer Umgehung, was nach der Lehre des Klagepatents das Wesen einer DMA-Vorrichtung sein soll.

VII.

Die weiteren Entgegenhaltungen - ██████████ und ██████████ (Anlage BP-CR7/Cisco) und P. Crowley et al. (Anlage BP-CR8/NPD) – vermögen der Neuheit von Ansprüchen 1 und 6 ebenfalls nicht entgegen zu stehen.

1.

Die BP-CR7/Cisco ist ein Auszug, Seiten 147 bis 165, des Fachbuchs von ██████████ und ██████████ mit dem Titel „Cisco LAN Switching Fundamentals: The essential guide for understanding Ethernet switched networks“, welches 2004 durch Cisco Press herausgegeben wurde. In diesem Buch-Auszug wird die Catalyst-6500-Switch-Architektur und das Multilayer-Switching-Verfahren beschrieben. An einigen Stellen der Druckschrift, insbesondere auf Seite 158 und 162, wird erwähnt, dass Layer-2- und Layer-3-Schicht-Header gleichzeitig jeweils innerhalb der Protokoll-Stapelschicht verarbeitet werden (hinzugefügtes Merkmal gemäß Hilfsantrag 1). Die Druckschrift offenbart jedoch keine klagepatentgemäße Direktspeicher-

Zugriffs-DMA-Vorrichtung (Merkmale 1.b oder 6.b) sowie auch keinen klagepatentgemäßen Protokoll-Stapel-Schichtspeicher (Merkmale 1.c.bb oder 6.b.bb.(2)).

2.

Die BP-CR8/NPD ist ein Auszug, Seiten 191 bis 218, des Fachbuchs von [REDACTED] et al. mit dem Titel „Network Processor Design“ von 2003. In diesem Auszug beschreibt die Druckschrift die Notwendigkeit und verschiedene Einsatzmöglichkeiten von programmierbaren Netzwerk-Prozessoren (NP). Die Netzwerk-Prozessoren werden dort als programmierbare Mikroprozessoren beschrieben, die durch Modifikationen für die Paket-Verarbeitung optimiert wurden. Die Funktionalität der Netzwerk-Prozessoren wird dabei u. a. durch entsprechenden Mikrocode bereitgestellt, welcher auch als Firmware bezeichnet werden kann (hinzugefügtes Merkmal gemäß Hilfsantrag 3).

In dieser sehr allgemein gehaltenen Druckschrift wird insbesondere keine klagepatentgemäße Direktspeicher-Zugriffs-DMA-Vorrichtung (Merkmale 1.b oder 6.b) sowie auch kein klagepatentgemäßer Protokoll-Stapel-Schichtspeicher (Merkmale 1.c.bb oder 6.b.bb.(2)) offenbart.

VIII.

Die Beklagten haben auch nicht mit Erfolg das Vorliegen des erforderlichen erfinderischen Schritts in Abrede zu nehmen vermocht. Allen Druckschriften fehlt die Offenbarung einer DMA an der frühen Stelle gemäß dem Klagepatent. Für die Fachperson bestand kein Anlass, bei diesen in sich geschlossenen Lösungen, eine klagepatentgemäße DMA vorzuschalten.

1.

Nach Art. 56 S. 1 EPÜ gilt eine Erfindung als auf einer erfinderischen Tätigkeit beruhend, wenn sie sich für die Fachperson nicht in nahe liegender Weise aus dem Stand der Technik ergibt. Diese erfinderische Lösung beginnt jenseits des Bereichs, der, ausgehend vom Stand der Technik, durch das definiert wird, was die gut ausgebildete Fachperson mit durchschnittlichem Wissen, Können und Erfahrungen routinemäßig auf dem einschlägigen technischen Gebiet weiterentwickeln und finden kann (vgl. Benkard/Söldenwagner, EPÜ, 4. Aufl., Art. 56 Rn. 9). Eine Erfindung liegt dann vor, wenn sie sich nicht durch die übliche Herangehensweise der Fachperson in ihrem Fachgebiet ergibt, sondern es einer zusätzlichen schöpferischen Leistung ihrerseits bedurfte (LK Düsseldorf, 03. August 2024 – UPC CFI 7/2023, GRUR-RS 2024, 17732 Rn. 93; LK Hamburg, 26. August 2024 – UPC CFI 54/2023, GRUR-RS 2024, 38164 Rn. 135 – Avago vs. Tesla).

2.

Hinsichtlich der geltend gemachten Kombination des Dokuments BP-BP- CR7 ist nicht ersichtlich, warum die Fachperson ausgehend von der BP-CR5 veranlasst sein sollte, diese mit der BP-CR7 zu kombinieren. Die BP-CR5 befasst sich mit der Paketvermittlung innerhalb einer Mehrprozessor-Vorrichtung, während sich die BP-CR7 mit einem Multi-Layer-Switch befasst. Überdies wird in der BP-CR5 ein Hash-Wert berechnet, um ein Routing durchzuführen, während in der BP-CR7 L2- und L3-Engines vorgeschlagen sind. Diese Ansätze beruhen auf einer anderen Herangehensweise, weshalb die Fachperson keine Veranlassung hat, aus der in sich geschlossenen Lösung der BP-CR5 heraus eine Kombination mit der BP-CR7 vorzunehmen. Im Übrigen würde die Fachperson selbst bei einer unterstellten Kombination

der beiden Dokumente nicht zum beanspruchten Gegenstand gelangen, da die weiteren Merkmale 1. b), 1. c) bb. und 1. c) bb (α), der Fachperson in der BP-CR7 nicht gezeigt sind.

3.

Hinsichtlich der geltend gemachten Kombination des Dokuments BP-CR6 mit dem Dokument BP-CR7 ist ebensowenig nicht ersichtlich, warum die Fachperson veranlasst sein sollte, diese miteinander zu kombinieren. In der BP-CR6 ist ein „systolic array“ zum sequenziellen Abarbeiten eines Pakets gezeigt, während in der BP-CR7 L2- und L3-Engines vorgeschlagen werden. Auch diese Ansätze beruhen auf einer anderen Herangehensweise, weshalb die Fachperson keine Veranlassung hatte, die Lösung des einen durch die des anderen zu ersetzen. Im Übrigen gelangte die Fachperson selbst bei einer unterstellten Kombination der beiden Dokumente nicht zum beanspruchten Gegenstand, da die Merkmale 1. b) und 1. c) bb. (α), der Fachperson auch in der BP-CR7 nicht gezeigt sind.

IX.

Da sich Ansprüche 1 und 6 in der erteilten Fassung als rechtsbeständig erwiesen haben, ist die Bedingung für die von der Klägerin eingeführten Hilfsanträge nach Regel 30 Verfo nicht eingetreten. Die Frage der Patentfähigkeit der Hilfsanträge kann daher auf sich beruhen.

D.

Die Verletzungsklage ist unbegründet. Die von der Klägerin behauptete mittelbare Patentverletzung des Anspruchs 1 des Klagepatents gemäß Art. 26 (1) EPGÜ ist nicht gegeben. Denn es fehlt jedenfalls an einer wortsinngemäßen Verwirklichung des Merkmals 1. b) und der Merkmalsgruppe 1. c) aa-bb durch die angegriffenen Ausführungsformen. Dementsprechend ist auch eine unmittelbare Verletzung von Anspruch 6 gemäß Art. 25 EPGÜ nicht gegeben.

I.

Die Klägerin richtet ihren Verletzungsvorwurf gegen Netzwerk-Switches die nach ihrer Auffassung von der Beklagten zu 1) in Deutschland angeboten wird, „darunter die der sog. Cisco Catalyst 9000-Familie“, insbesondere Netzwerk-Switches der Serie Cisco Catalyst 9x00, die mindestens einen Cisco Unified Access Data Plane (UADP)-Chip enthalten.

Streitig ist zwischen den Parteien die Verwirklichung von Merkmalen 1., 1. b), 1. c) bb) und Merkmal 1. c) bb.(α) durch diese angegriffenen Ausführungsformen.

II.

Im Ausgangspunkt handelt es sich bei den Switches der Catalyst 9600 Serie um End-User-Ausgangsknoten im Sinne von Merkmal 1 des Klagepatents. Der Umstand, dass es sich um Zwischenknoten handelt, ist, wie ausgeführt, unschädlich. Denn ausweislich der breiten Anwendungsbeschreibung in der Einleitung der Klagepatentschrift [Abs. 0001], ist der

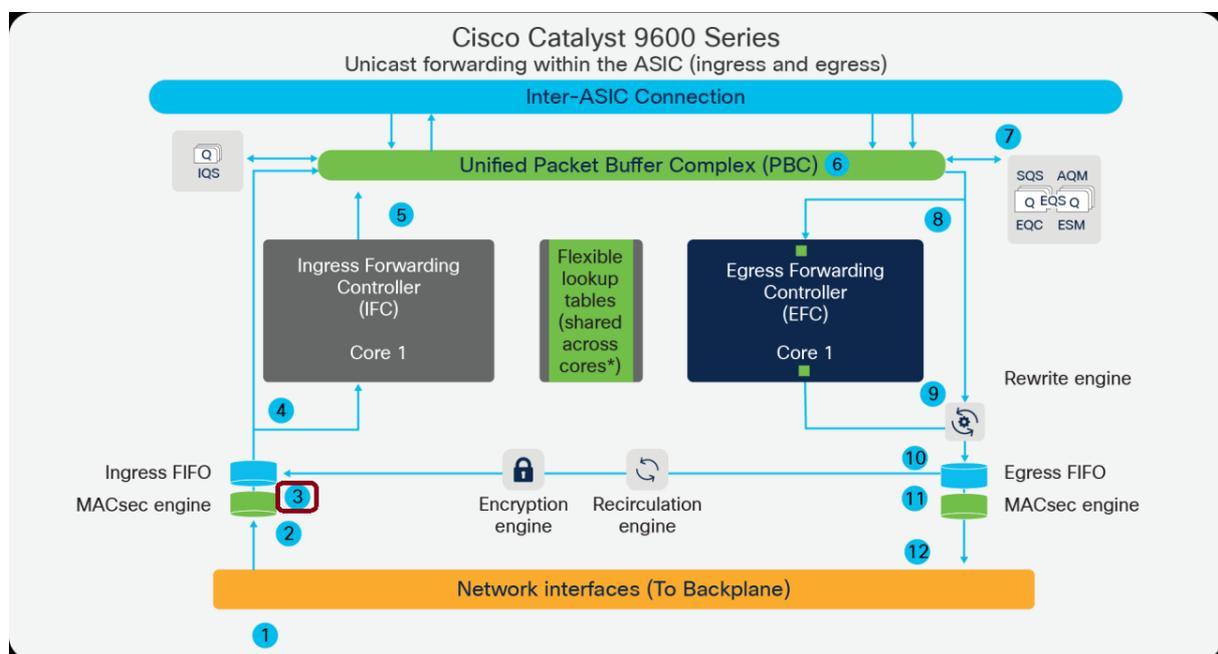
Gegenstand der Erfindung nicht auf reine Endknoten beschränkt. Entscheidend, aber auch ausreichend ist, dass über sie Datenpakete in einem Ethernet-Netzwerk übertragen werden.

III.

Eine Verwirklichung von Merkmal 1. b) des Anspruchs 1 lässt sich indes weder auf der Basis des Vortrags der Klägerin in der Klageschrift noch auf der Basis des Vortrags in der Replik feststellen.

1.

Mit der Klageschrift hat sich die Klägerin auf den Standpunkt gestellt, der Ingress First In First Out (FIFO) sei eine Direktspeicher-Zugriffs-DMA-Vorrichtung im Sinne des Klagepatents, weil er die Header-Information ohne Umweg über einen Hauptprozessor an den gewünschten Stellen speichere (vgl. Whitepaper, S. 26, Anlage K 9):



Sie war der Ansicht, das Datenpaket vom Ingress FIFO werde direkt sowohl in den PBC als auch den IFC geführt, also nicht über den Umweg einer CPU. Etwas anderes sei angesichts der extrem hohen Datendurchsätze, die Cisco mit seinen ASICs nach seinen Spezifikationen erreichen könne, nicht realistisch; aus Sicht der Fachperson sei eine DMA-Vorrichtung die einzig mögliche technische Lösung.

2.

Die Beklagten haben eine Verletzung in Bezug auf dieses Merkmal in Abrede genommen. Sie haben geltend gemacht, dass eine DMA-Vorrichtung nach dem allgemeinen Fachwissen immer eine „Steuerlogik“ umfasse, die ein gezieltes Speichern in einem speziellen Speicherort bewerkstellige. Dem Ingress FIFO fehle es jedoch an einer entsprechenden Steuerlogik. Er gebe Daten nur auf eine Datenleitung aus und habe keine Kenntnis darüber, wohin diese Datenleitung führe, oder ob am Ende der Datenleitung eine Einheit sei, die die ankommenden Daten überhaupt verarbeiten könne. Aus diesem Grund sei der Ingress FIFO auch nicht in der

Lage, Daten zu schreiben. Der PBC und der IFC der angegriffenen Ausführungsformen speichern die auf den Datenleitungen ankommenden Daten in von diesen Einheiten verwalteten Speichern. Der Ingress FIFO könne hierauf keinen Einfluss nehmen, da ihm – im Gegensatz zu einer DMA-Vorrichtung – die zur Speicheradressierung im Zielspeicher erforderliche Steuerlogik fehle.

3.

Eine Verwirklichung von Merkmal 1. b) des Anspruchs 1, „im Anschluss an den Dekodierungsschritt, Übermitteln eines Teils des Pakets an eine Direktspeicher-Zugriffs-DMA-Vorrichtung (120),“ ist nach der oben vorgenommenen Auslegung des Merkmals zu verneinen.

a)

Funktional wäre neben der in Merkmal 1b beschriebenen Empfangsoperation (des Teils des Pakets) erforderlich, dass die patentgemäße DMA-Vorrichtung die in der Merkmalsgruppe 1.c) aa-bb beschriebenen Speicheroperationen ermöglichen kann, nämlich das gleichzeitige Speichern in den Paketpufferspeicher und die schichtenspezifischen Speicher (s. a. Fig. 4). Dazu ist eine Speicherschnittstelle erforderlich, die eine Steuerlogik in Form von programmierten Registern oder Kanälen enthält, die das gezielte Schreiben von Daten an die Zielorte im Speicher ermöglicht. Hiervon machen die angegriffenen Ausführungsformen jedoch keinen Gebrauch.

aa)

Die Abbildung aus dem Whitepaper zeigt zwar eine Leitung zwischen Ingress FIFO und IFC und PBC, aber nicht, dass dieser eine DMA darstellen könnte. Bei der Auslegung des Merkmals geht jedoch auch die Klägerin zutreffend davon aus, dass die DMA ein Speichern ermöglichen muss und eine „nackte“ Datenleitung kein DMA verkörpern kann. Dass bei den angegriffenen Ausführungsformen eine Steuerlogik vorhanden sein könnte und nicht nur eine Datenleitung, lässt sich dem Schaubild indes nicht ersehen. Das Vorhandensein von programmierten Registern oder Kanälen ist nicht ersichtlich.

bb)

Die Stellungnahme von Herrn ██████ (Anlage K 10) vermag demgegenüber keinen Erkenntnisgewinn zu liefern, da er den Switch nicht untersucht hat, sondern lediglich vermutet, dass die CPU nicht beteiligt sei, weil es sonst zu langsam wäre, und dass der Ingress FIFO Headerdaten in zwei Speicher schreibe.

b)

Zudem lässt sich auch nach dem Klägervortrag nicht erkennen, dass der Ingress FIFO als DMA *einen Teil des Pakets* übermittelt erhält. Vielmehr ist es erst der Eingangs-FIFO des IFC, der zunächst Teile des Pakets sammelt. Nach dem Whitepaper erfolgt zudem die Abzweigung

bereits nach dem Ingress FIFO, während sie nach der Lehre des Klagepatents erst nach der DMA stattfindet.

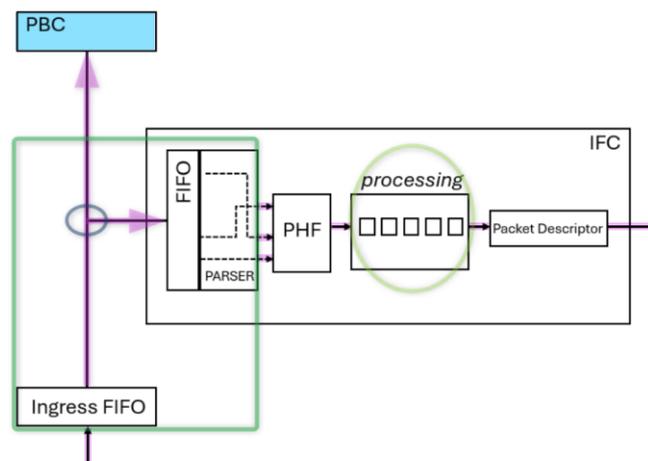
4.

Eine Verwirklichung von Merkmal 1. b) des Anspruchs 1 lässt sich auch nicht unter Zugrundelegung des Vortrags der Klägerin aus ihrer Replik begründen.

a)

Die Klägerin hat sich mit ihrer Replik die Ausführungen der Beklagten in der Klagerwiderung zu eigen gemacht, wonach der Ingress Forwarding Controller IFC die Informationen der ersten 256 Bytes aus dem FIFO verwende, um Weiterleitungsentscheidungen zu treffen, wozu u. a. die Prüfung der individuellen Paket-Header, um den geeigneten Ausgangspfad zu bestimmen, gehört. Dazu werde das Paket an einen vom IFC umfassten „Parser“ weitergeleitet, wie die Beklagten schematisch vorgetragen hätten. Dessen Aufgabe sei es, das Paket zu zerlegen und wichtige Header-Informationen assoziiert mit den verschiedenen Protokollschichten zu extrahieren. Es sei maßgeblich, dass die 256 Bytes „geparst“, d. h analysiert und interpretiert würden, um die darin enthaltenen Informationen zu extrahieren, diese Informationen in das (von den Beklagten so genannte) „PHF Datenobjekt“ geschrieben werden und das „PHF Datenobjekt“ in einem Speicher abgelegt werde (in diesem konkreten Fall: einem Register), in dem die Header-Daten unterschieden nach ihrer Zugehörigkeit zu den verschiedenen relevanten Stapelschichten getrennt lägen und die Header-Daten dort für jede Schicht unmittelbar abrufbar und mithin schnell zugänglich und verarbeitbar zur Verfügung stünden.

Die Klägerin hat dies schematisch wie folgt dargestellt (vgl. Replik der Klägerin zur Klagerwiderung, Rz. 49):



Sie ist der Ansicht, auch hier müsse der Ingress FIFO wissen, wo die Daten hinsollen und dies werde „gerechnet“. Dass der Parser erst hinterher vorkomme, sei unschädlich, da der Effekt nur für die zweite Datenleitung relevant sei. Das Klagepatent habe insoweit keine zwingende Vorgabe, sondern stelle es der Fachperson frei, wo sie es mache, mit dem Ziel, das sequentielle Arbeiten zu umgehen. Die Datenströme würden auch gleichzeitig losgehen; Präambel und L1-Schicht seien bereits zuvor abgeschieden.

b)

Entgegen der Ansicht der Klägerin lässt sich die Verarbeitungseinheit „Parser“ im IFC nicht der DMA-Vorrichtung zuschlagen.

aa)

Vielmehr ist der IFC der erste Speicherort, wobei offen bleiben kann, ob es einen Protokoll-Stapel-Schichtspeicher iSv Merkmal 1. c) bb darstellen kann oder nicht, weil anschließend die Daten in den nächsten Speicherort geschrieben werden, den sog. „PHF“ aus der obigen Abbildung. Dass der Parser die Headerdaten extrahiert, ist indes eine Ebene zu spät, um die Lehre des Klagepatents zu verwirklichen, denn anspruchsgemäß wäre, dass die DMA als erste Instanz selbst das Schreiben in zwei verschiedene Speicherorte vornimmt. Der Ingress-FIFO nimmt diese Schreibarbeit indes auch nach dem Klägervortrag nicht vor, sondern erschöpft sich letztlich in einer einfachen Datenleitung, die auf dem Prinzip first-in-first-out operiert. Eine einfache Datenleitung, der eine Steuereinheit (oder Parser) nachgeschaltet ist, macht einen Ingress-FIFO jedoch nicht zu einer klagepatentgemäßen DMA. Wie die Beklagten unwidersprochen vorgetragen haben, ist durch die Verarbeitung im Parser eine Verzögerung um Faktor 10 gegeben, was im Widerspruch zum Ziel der patentgemäßen Lehre steht.

bb)

Wäre demgegenüber der Eingangs-FIFO des IFC als funktional integrierter Teil der DMA-Vorrichtung anzusehen, dürfte zudem erst von ihr aus die Verteilung auf die beiden Speicherorte erfolgen. Durch die direkte Leitung des Ingress FIFO wird der IFC jedoch auf dem Weg zur PBC umgangen. Nach der Lehre des Klagepatents muss jedoch vorab eine Vereinzelung stattfinden, damit die DMA die Header in die richtige Schicht bzw. das richtige Fach schreiben kann. Durch diesen einen Schreibvorgang wird die gewünschte Gleichzeitigkeit der Schreiboperationen erzielt. Das Schreiben der Header wird im Klagepatent auch unterschieden vom Verarbeiten der Felder, vgl. Abs. [0046], insbesondere auch der Felder aus den Headern. Im Parser der angegriffenen Ausführungsformen findet dagegen die Verarbeitung zu einem Zeitpunkt statt, die nach dem Klagepatent im Interesse der Zeitersparnis noch gar nicht erfolgen sollte.

c)

Zudem ist mit den Beklagten zu fordern, dass, würden der Ingress FIFO, der FIFO des IFC *und* der im IFC enthaltene Parser eine, *einheitliche* DMA-Vorrichtung bilden, sie dann auch eine Steuerlogik realisieren müssten, die das gezielte Schreiben in die Protokoll-Stapel-Schichtspeicher und in den Paket-Pufferspeicher ermöglichte (vgl. Merkmalsgruppe 1. c aa-bb). Die klagepatentgemäße DMA-Vorrichtung weist zu diesem Zweck nach Abs. [0024] verschiedene programmierte Register oder Kanäle auf. Hierfür ist in den angegriffenen Verletzungsformen aber, wie bereits ausgeführt, nichts ersichtlich. Der IFC schreibt nach dem Schaubild ebenso in den PBC, wie der Ingress FIFO, der schon an den PBC – ohne erkennbare Steuerlogik – weitergeleitet hat. Damit ist es Aufgabe des Empfängers, die Daten dem richtigen Bereich zuzuordnen.

IV.

Eine Verwirklichung von Merkmal 1. c) des Anspruchs 1 lässt sich ebenfalls nicht feststellen. Wie bereits ausgeführt, fehlt es bei den angegriffenen Ausführungsformen daran, dass weder der Ingress FIFO als vermeintliche DMA noch eine DMA kombiniert aus Ingress FIFO und IFC gleichzeitig die Header in einen Paket-Pufferspeicher und in den Speicher in der jeweiligen

Schicht des Protokollstapels schreiben würden. Zudem ist bei den beiden Weiterleitungen zur PBC nicht erkennbar, dass diese Datensätze überhaupt getrennt i.S.d. Vorgaben der Merkmalsgruppe 1. c) gespeichert wären. Zwar sendet der Ingress FIFO das Paket „parallel“ an den Ingress Forwarding Controller (IFC) und den Packet Buffer Complex (PBC), ohne Einschaltung der CPU. Doch weder der Ingress FIFO als vermeintliche DMA noch eine DMA kombiniert aus Ingress FIFO und IFC schreiben gleichzeitig die *Header* in einen Paket-Pufferspeicher und in den Speicher in der jeweiligen Schicht des Protokollstapels, wie in Figur 4 des Klagepatent dargestellt. Vielmehr werden in den Eingangs-FIFO des IFC lediglich die ersten 256 Bytes des Pakets als ein einziger Datenstrom geschrieben. Der jeweilige Header steht auch nicht im Speicher der jeweiligen Stapelschicht – dem IFC – sofort zur weiteren Verarbeitung zur Verfügung, sondern muss erst durch den Parser extrahiert werden. Dementsprechend fehlt es an dem Kriterium der Gleichzeitigkeit.

V.

Die Frage der Realisierung der Merkmale der Hilfsanträge (vgl. Replik der Klägerin auf die Klagerwiderung, Rz. 88 ff.) kann auf sich beruhen, da es bereits an einer Verwirklichung der Hauptmerkmale fehlt.

VI.

Für die (fehlende) unmittelbare Verletzung des von Anspruch 6 geschützten Erzeugnisanspruchs kann auf die obigen Ausführungen verwiesen werden, weil der Anspruch fast wortlautidentisch ist.

VII.

Auch auf die Frage der Passivlegitimation kommt es mangels Patentverletzung nicht mehr an.

E.

Nach alledem ist die Verletzungsklage nebst ihren Annexanträgen ohne das Anstellen weiterer Erwägungen zur Verhältnismäßigkeit nach Artikel 63 Abs. 1 EPGÜ abzuweisen.

Über die Nichtigkeitswiderklage hat gleichwohl eine Entscheidung zu ergehen.

Im Rahmen der Kostenentscheidung hat die Lokalkammer berücksichtigt, dass die Klägerin hinsichtlich der Klaganträge vollumfänglich unterliegt, die Beklagten aber hinsichtlich der Nichtigkeitswiderklage. Die Klägerin hat für den Streitwert der Verletzungsklage 1,5 Mio. EUR angegeben. Die Beklagten haben dies nicht beanstandet. Der Streitwert der Nichtigkeitswiderklage erhält einen Aufschlag in Höhe von bis zu 50 v.H. nach Ziffer I. 2. b) (2) (ii) der „Richtlinien des Verwaltungsausschusses für die Bestimmung der Gerichtsgebühren und die Obergrenze für erstattungsfähige Kosten vom 24. April 2023“ (vgl. Art. 36 Abs. 3 EPGÜ, R. 370.6 EPG-VerfO). Damit ist die Nichtigkeitswiderklage mit 2,25 Mio. EUR zu bewerten und das Verfahren insgesamt mit 3,75 Mio. EUR.

Dem Antrag der Beklagten, ihnen für Verletzungs- und Nichtigkeitswiderklage eine vorläufige Kostenerstattung zuzusprechen, war nicht zu entsprechen. Zwar kann nach Regel 150.2 VerfO als obsiegende Partei in der Sachentscheidung [Regel 119] oder in einer Entscheidung über die Festsetzung des Schadenersatzes unter von ihm festzulegenden Bedingungen eine vorläufige Kostenerstattung zugesprochen werden. Da die Beklagten die Kosten des Verfahrens zum größeren Teil selbst zu tragen haben, war eine vorläufige Kostenerstattung

nicht angezeigt. Dass die Beklagten auf eine vorläufige anteilige Kostenerstattung angewiesen wären, haben sie nicht dargetan. Die Parteien sind insoweit auf das reguläre Kostenfestsetzungsverfahren nach Regel 150.1 VerfO zu verweisen.

ENTSCHEIDUNG

- I. Die Klage wird abgewiesen.
- II. Die Widerklage wird abgewiesen.
- III. Von den Kosten des Rechtsstreits hat die Klägerin 40% und die Beklagten 60% zu tragen.
- IV. Der Antrag der Beklagten auf vorläufige Kostenerstattung wird zurückgewiesen.
- V. Der Wert des Verfahrens wird insgesamt auf 3.750.000,-- EUR festgesetzt.

DETAILS DER ENTSCHEIDUNG

Action Number: ACT 7940/2024

UPC number: UPC_CFI_58/2023

Action type: Infringement Action

Related proceedings: CC 33752/2024

Related proceedings type: Counterclaim for revocation

UNTERSCHRIFTEN

Sabine
Maria
Klepsch

Digital
unterscriben von
Sabine Maria
Klepsch
Datum: 2025.02.14
13:01:03 +01'00'

Vorsitzende Richterin Klepsch

Stefan
Schilling

Digital unterschrieben
von Stefan Schilling
Datum: 2025.02.14
12:19:20 +01'00'

Rechtlich qualifizierter Richter Dr. Schilling

Peter Juul
Agergaard

Digitalt signeret af
Peter Juul Agergaard
Dato: 2025.02.14
14:29:39 +01'00'

Rechtlich qualifizierter Richter Agergaard



Technisch qualifizierter Richter Dr. Keller

Carolin Bauch Digital unterschrieben
von Carolin Bauch
Datum: 2025.02.14
15:26:34 +01'00'

für den Hilfskanzler

INFORMATIONEN ZUR BERUFUNG

Gegen die vorliegende Entscheidung kann durch jede Partei, die ganz oder teilweise mit ihren Anträgen erfolglos war, binnen zwei Monaten ab Zustellung der Entscheidung beim Berufungsgericht Berufung eingelegt werden (Art. 73 (1) EPGÜ, R. 220.1 (a), 224.1 (a) VerfO).

INFORMATIONEN ZUR VOLLSTRECKUNG

Eine beglaubigte Kopie der vollstreckbaren Entscheidung wird vom Hilfskanzler auf Antrag der vollstreckenden Partei ausgestellt (Art. 82 EPGÜ, Art. Art. 37(2) EPGS, R. 118.8, 158.2, 354, 355.4 VerfO).

Diese Entscheidung wurde am 19. Februar 2025 in öffentlicher Sitzung verkündet.

Stefan Schilling Digital unterschrieben
von Stefan Schilling
Datum: 2025.02.19
10:24:34 +01'00'

Rechtlich qualifizierter Richter Dr. Schilling

Berichterstatter